

HC32F448 系列

32 位 ARM[®] Cortex[®]-M4 微控制器

数据手册

Rev1.0 2023 年 06 月

产品特性

ARM Cortex-M4 32bit MCU+FPU, 250DMIPS, 256KB Flash, 68KB SRAM, 2MCANs(FD/2.0B), EXMC, 15Timers, 3ADCs, 2DACs, 4CMPs, 6UARTs, 3SPIs, 2I2Cs, QSPI, AES, HASH (SHA256)

- **ARMv7-M 架构 32bit Cortex-M4 CPU，集成 FPU、MPU，支持 SIMD 指令的 DSP，全指令跟踪单元 ETM，及 CoreSight 标准调试单元。最高工作主频 200MHz，达到 250DMIPS 或 680Coremarks 的运算性能**

- **内置存储器**

- 最大 256KB 的 Flash memory
- 最大 68KB 的单周期访问高速 SRAM

- **电源，时钟，复位管理**

- 系统电源 (Vcc): 1.8-3.6V
- 7 个独立时钟源：外部主时钟晶振 (4-25MHz)，外部副晶振 (32.768kHz)，内部高速 RC (16/20MHz)，内部中速 RC (8MHz)，内部低速 RC (32kHz)，PLL，内部 WDT 专用 RC (10kHz)
- 包括上电复位 (POR)，低电压检测复位 (PVD1R/PVD2R)，端口复位 (NRST) 在内的 15 种复位源，每个复位源有独立标志位

- **低功耗运行**

- 外设功能可以独立关闭或开启
- 三种低功耗模式：Sleep, Stop, Power Down 模式

- **外设运行支持系统显著降低 CPU 处理负荷**

- 12 通道双主机 DMAC
- 4 个数据计算单元 (DCU)
- 支持外设事件相互触发 (AOS)

- **高性能模拟**

- 3 个独立 12bit 2.5MSPS ADC
- 2 个独立 12bit DAC
- 4 个独立电压比较器 (CMP)

- **Timer**

- 2 个多功能 16bit PWM Timer (Timer6)
- 3 个 16bit 电机 PWM Timer (Timer4)

- 1 个 32bit 通用 Timer (TimerA)
- 4 个 16bit 通用 Timer (TimerA)
- 2 个 16bit 基础 Timer (Timer0)
- 实时时钟 Timer (RTC)
- 2 个 WDT，支持内部专用时钟

- **最大 67 个 GPIO**

- 最大 62 个 5V-tolerant IO

- **最大 32 个通信接口**

- 6 个 USART，支持 ISO7816-3 协议
- 3 个 SPI
- 2 个 I2C，支持 SMBus 协议
- 1 个 QSPI，支持 100Mbps 高速访问 (XIP)
- 2 个 MCAN，支持 CAN2.0B，支持 CAN FD

- **外部存储器控制器 EXMC**

- 支持静态 Memory 控制器

- **数据加密功能**

- AES/ HASH (SHA256) / TRNG

- **封装形式：**

- LQFP80 (12×12mm)
- LQFP64 (10×10mm)
- LQFP48 (7×7mm)
- QFN48 (5×5mm)
- QFN32 (4×4mm)

支持型号：

HC32F448FAUI-QFN32TR	HC32F448FCUI-QFN32TR
HC32F448JAU-ZFN48TR	HC32F448JCUI-ZFN48TR
HC32F448JATI-LQ48	HC32F448JCTI-LQ48
HC32F448KATI-LQFP64	HC32F448KCTI-LQFP64
HC32F448MATI-LQFP80	HC32F448MCTI-LQFP80

声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2023 小华半导体有限公司 保留所有权利

目 录

产品特性.....	2
声 明.....	3
目 录.....	4
表索引.....	7
图索引.....	9
1 简介 (Overview)	10
1.1 型号命名规则	11
1.2 型号功能对比表.....	12
1.3 功能框图	14
1.4 功能简介	15
1.4.1 CPU	15
1.4.2 总线架构 (BUS)	15
1.4.3 复位控制 (RMU)	16
1.4.4 时钟控制 (CMU)	16
1.4.5 电源控制 (PWC)	17
1.4.6 初始化配置 (ICG)	17
1.4.7 嵌入式 Flash 接口 (EFM)	17
1.4.8 内置 SRAM (SRAM)	18
1.4.9 通用 IO (GPIO)	18
1.4.10 中断控制 (INTC)	18
1.4.11 自动运行系统 (AOS)	19
1.4.12 存储保护单元 (MPU)	19
1.4.13 键盘扫描 (KEYSCAN)	19
1.4.14 内部时钟校准器 (CTC)	20
1.4.15 DMA 控制器 (DMA)	20
1.4.16 电压比较器 (CMP)	21
1.4.17 模数转换器 (ADC)	21
1.4.18 数模转换器 (DAC)	22
1.4.19 高级控制定时器 (Timer6)	23
1.4.20 通用控制定时器 (Timer4)	23
1.4.21 紧急刹车模块 (EMB)	23
1.4.22 通用定时器 (TimerA)	23
1.4.23 通用定时器 (Timer0)	23

1.4.24	实时时钟 (RTC)	24
1.4.25	看门狗计数器 (WDT/ SWDT)	24
1.4.26	通用同步异步收发器 (USART)	24
1.4.27	集成电路总线 (I2C)	25
1.4.28	串行外设接口 (SPI)	25
1.4.29	四线式串行外设接口 (QSPI)	26
1.4.30	外部存储器控制器 (EXMC)	27
1.4.31	控制器局域网 (MCAN)	27
1.4.32	加密协处理模块 (CPM)	27
1.4.33	数据计算单元 (DCU)	27
1.4.34	CRC 计算单元 (CRC)	27
1.4.35	调试控制器 (DBGC)	28
2	引脚配置及功能 (Pinouts)	29
2.1	引脚配置图	29
2.2	引脚功能表	34
2.3	引脚功能说明	41
2.4	引脚使用说明	44
3	电气特性 (ECs)	45
3.1	参数条件	45
3.1.1	最小值和最大值	45
3.1.2	典型值	45
3.1.3	典型曲线	45
3.1.4	负载电容	45
3.1.5	引脚输入电压	45
3.1.6	电源方案	46
3.1.7	电流消耗测量	47
3.2	绝对最大额定值	48
3.3	工作条件	49
3.3.1	通用工作条件	49
3.3.2	上电/掉电时的工作条件	49
3.3.3	复位和电源控制模块特性	50
3.3.4	供电电流特性	51
3.3.5	低功耗模式唤醒时序	59
3.3.6	外部时钟源特性	60
3.3.7	内部时钟源特性	63

3.3.8	PLL 特性	64
3.3.9	存储器（闪存）特性	65
3.3.10	电气敏感性	66
3.3.11	I/O 端口特性	67
3.3.12	I2C 接口特性	70
3.3.13	SPI 接口特性	71
3.3.14	QSPI 接口特性	74
3.3.15	USART 接口特性	75
3.3.16	JTAG 接口特性	76
3.3.17	SWD 接口特性	78
3.3.18	12 位 ADC 特性	79
3.3.19	12 位 DAC 特性	83
3.3.20	比较器特性	84
3.3.21	EXMC 特性	85
3.3.22	EIRQ 滤波特性	87
3.3.23	USART1 Stop 模式下 RX 滤波特性	87
4	封装信息	88
4.1	封装尺寸	88
4.2	焊盘示意图	93
4.3	丝印说明	98
4.4	封装热阻系数	99
5	订购信息	100
	版本修订记录	102

表索引

表 1-1	型号功能对比表	12
表 2-1	引脚功能表	34
表 2-2	Func32~63 表	38
表 2-3	端口配置	39
表 2-4	通用功能规格	40
表 2-5	引脚功能说明	41
表 2-6	引脚使用说明	44
表 3-1	电压特性	48
表 3-2	电流特性	48
表 3-3	热特性	48
表 3-4	通用工作条件	49
表 3-5	上电/掉电时的工作条件	49
表 3-6	复位和电源控制模块特性	50
表 3-7	高速模式电流消耗 1	52
表 3-8	高速模式电流消耗 2	53
表 3-9	高速模式电流消耗 3	54
表 3-10	超低速模式电流消耗 1	55
表 3-11	超低速模式电流消耗 2	56
表 3-12	低功耗模式电流消耗	57
表 3-13	模拟模块电流消耗	58
表 3-14	低功耗模式唤醒时间	59
表 3-15	高速外部用户时钟特性	60
表 3-16	XTAL 4-25MHz 振荡器特性	61
表 3-17	XTAL32 振荡器特性	62
表 3-18	HRC 振荡器特性	63
表 3-19	MRC 振荡器特性	63
表 3-20	LRC 振荡器特性	63
表 3-21	SWDTLRC 振荡器特性	63
表 3-22	PLLH 主要性能指标	64
表 3-23	闪存特性	65
表 3-24	闪存编程擦除时间	65
表 3-25	闪存可擦写次数和数据保存期限	65
表 3-26	ESD 特性	66

表 3-27	静态 Latch-up 特性	66
表 3-28	I/O 静态特性	67
表 3-29	输出电压特性	68
表 3-30	I/O 交流特性	69
表 3-31	I2C 电气特性	70
表 3-32	SPI 电气特性	71
表 3-33	QSPI 电气特性	74
表 3-34	USART AC 时序	75
表 3-35	USART 最高波特率	75
表 3-36	JTAG 接口特性	76
表 3-37	SWD 接口特性	78
表 3-38	ADC 特性	79
表 3-39	输入通道静态精度@ $f_{ADC}=60\text{MHz}$	80
表 3-40	输入通道静态精度@ $f_{ADC}=8\text{MHz}/30\text{MHz}$	80
表 3-41	输入通道动态精度@ $f_{ADC}=60\text{MHz}$	80
表 3-42	输入通道动态精度@ $f_{ADC}=8\text{MHz}/30\text{MHz}$	80
表 3-43	12bit DAC 端口输出允许且输出放大器允许时特性	83
表 3-44	12bit DAC 端口输出允许且输出放大器禁止时特性	83
表 3-45	12bit DAC 端口输出禁止且输出放大器禁止时特性	84
表 3-46	比较器特性	84
表 3-47	EXMC 特性	85
表 3-48	EIRQ 滤波特性	87
表 3-49	USART1 STOP 模式下 RX 滤波特性	87
表 4-1	各封装热阻系数表	99

图索引

图 1-1 功能框图.....	14
图 2-1 引脚配置图	33
图 3-1 引脚负载条件(左)与输入电压测量 (右)	45
图 3-2 电源方案.....	46
图 3-3 电流消耗测量方案.....	47
图 3-4 采用8MHz 晶振的典型应用	61
图 3-5 采用 32.768kHz 晶振的典型应用.....	62
图 3-6 I/O 交流特性定义	69
图 3-7 I2C 总线时序定义.....	70
图 3-8 SPI 时序定义 (从机模式, CPHA=0)	72
图 3-9 SPI 时序定义 (从机模式, CPHA=1)	72
图 3-10 SPI 时序定义 (主机模式)	73
图 3-11 QSPI 时钟时序	74
图 3-12 QSPI 时序定义	74
图 3-13 USART 时钟时序	75
图 3-14 USART (CSI) 输入输出时序	76
图 3-15 JTAG TCK 时钟.....	76
图 3-16 JTAG 输入输出.....	77
图 3-17 SWD SWCLK 时钟	78
图 3-18 SWDIO 输入输出.....	78
图 3-19 ADC 精度特性	81
图 3-20 使用 ADC 的典型连接.....	82
图 3-21 电源和参考电源去耦例.....	82
图 3-22 EXMC 输出信号时序图	86
图 3-23 EXMC 输入信号时序图	86

1 简介 (Overview)

HC32F448 系列是基于 ARM® Cortex®-M4 32-bit RISC CPU，最高工作频率 200MHz 的高性能 MCU。Cortex-M4 内核集成了浮点运算单元 (FPU) 和 DSP，实现单精度浮点算术运算，支持所有 ARM 单精度数据处理指令和数据类型，支持完整 DSP 指令集。内核集成了 MPU 单元，同时叠加 DMAC 专用 MPU 单元，保障系统运行的安全性。

HC32F448 系列集成了高速片上存储器，包括最大 256KB 的 Flash，最大 68KB 的 SRAM。集成了 Flash 访问加速单元，实现 CPU 在 Flash 上的单周期程序执行。轮询式总线矩阵支持多个总线主机同时访问存储器和外设，提高运行性能。总线主机包括 CPU，DMA。除总线矩阵外，支持外设间数据传递，基本算术运算和事件相互触发，可以显著降低 CPU 的事务处理负荷。

HC32F448 系列集成了丰富的外设功能，包括：3 个独立的 12bit 2.5MSPS ADC；2 个 12 位的 DAC；4 个高速电压比较器 (CMP)；2 个多功能 PWM Timer (Timer6)，支持 4 路互补 PWM 输出；3 个电机 PWM Timer (Timer4)，支持 24 路互补 PWM 输出；4 个 16bit 通用 Timer (TimerA) 及 1 个 32bit 通用 Timer (TimerA)，支持正交编码输入及 40 路占空比可设 PWM 输出；11 个串行通信接口 (I2C/UART/SPI)；1 个 QSPI 接口；2 路 MCAN 控制器；1 个外部扩展总线控制器，包括 SMC 控制器。

HC32F448 系列支持宽电压范围 (1.8~3.6V)，宽温度范围 (-40~105℃) 和各种低功耗模式。支持低功耗模式的快速唤醒，Power Down 模式唤醒最快至 25μs。

典型应用

HC32F448 系列提供 80pin、64pin、48pin 的 LQFP 封装，48pin、32pin 的 QFN 封装，可用于高性能变频控制、智能硬件、IoT 连接模块等领域。

1.1 型号命名规则

	HC	32	F	4	4	8	F	C	U	I
小华半导体										
CPU位宽										
32: 32bit										
产品类型										
F: 通用										
CPU类型										
4: Cortex-M4										
性能识别码										
4: 主流型										
功能配置识别码										
8: 配置9										
引脚数										
F: 32Pin										
J: 48Pin										
K: 64Pin										
M: 80Pin										
FLASH容量										
A: 128KB										
C: 256KB										
封装类型										
U: QFN/ZFN										
T: LQFP										
环境温度范围										
I: -40~105℃										

1.2 型号功能对比表

表 1-1 型号功能对比表

功能		产品型号									
		HC32F448 FAUI	HC32F448 FCUI	HC32F448 JAUI	HC32F448 JCUl	HC32F448 JATI	HC32F448 JCTI	HC32F448 KATI	HC32F448 KCTI	HC32F448 MATI	HC32F448 MCTI
引脚数		32	32	48	48	48	48	64	64	80	80
GPIO数		25	25	38	38	38	38	52	52	67	67
5V Tolerant GPIO数		24	24	36	36	36	36	47	47	62	62
封装		QFN	QFN	QFN	QFN	LQFP	LQFP	LQFP	LQFP	LQFP	LQFP
温度范围		-40~105℃									
电源电压范围		1.8~3.6V									
存储空间	Flash	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB	128KB	256KB
	OTP	9KB									
	SRAM	68KB									
DMA控制器		2unit * 6ch									
外部端口中断		EIRQ * 13		EIRQ * 16							
通信接口	USART	6ch									
	SPI	3ch									
	I2C	2ch									
	MCAN	2ch									
	QSPI	1ch									
定时器和计数器	Timer0	2unit									
	TimerA	5unit									
	Timer4	3unit									

功能		产品型号									
		HC32F448 FAUI	HC32F448 FCUI	HC32F448 JAUI	HC32F448 JCUI	HC32F448 JATI	HC32F448 JCTI	HC32F448 KATI	HC32F448 KCTI	HC32F448 MATI	HC32F448 MCTI
	Timer6	2unit									
	WDT	1ch									
	SWDT	1ch									
	RTC	1ch									
模拟	12bit ADC	3unit, 4ch	3unit, 4ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 17ch	3unit, 17ch	3unit, 24ch	3unit, 24ch
	12bit DAC	1ch	1ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch
	CMP	4ch									
数据计算单元 (DCU)		✓									
加解密算法处理器 (AES256)		✓									
安全散列算法 (HASH SHA256)		✓									
真随机数发生器 (TRNG)		✓									
外部存储控制器 (EXMC)		不支持	不支持	不支持	不支持	不支持	不支持	✓	✓	✓	✓
频率监测模块 (FCM)		✓									
可编程电压检测功能 (PVD)		✓									
调试控制器 (DBGC)	SWD	✓									
	JTAG	✓									

1.3 功能框图

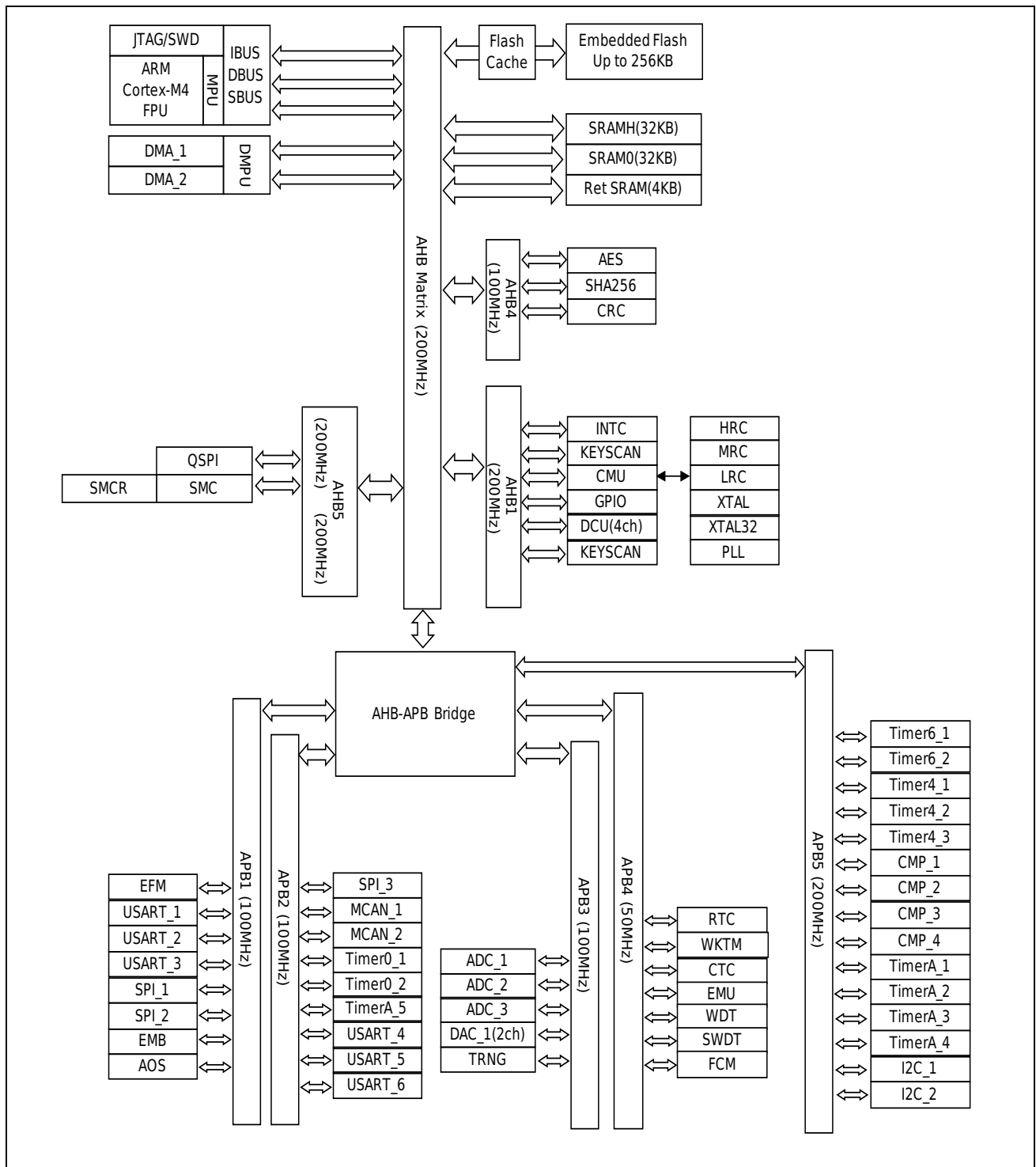


图 1-1 功能框图

1.4 功能简介

1.4.1 CPU

HC32F448 系列集成了最新一代的嵌入式 ARM® Cortex®-M4 with FPU 32bit 精简指令 CPU，实现了管脚少功耗低的同时，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 Cortex-M4 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单精度 FPU（Floating Point Unit）单元可以避免指令饱和，加快软件开发。

1.4.2 总线架构（BUS）

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

- 主机总线
 - Cortex-M4 内核 CPU-I 总线，CPU-D 总线，CPU-S 总线
 - 系统 DMA_1 总线，系统 DMA_2 总线
- 从机总线
 - Flash ICODE 总线
 - Flash DCODE 总线
 - Flash MCODE 总线（CPU 以外其他主机访问 Flash 的总线）
 - 高速 SRAMH（SRAMH 32KB）总线
 - 系统 SRAM（SRAM0 32KB）总线
 - 系统 SRAM（Ret SRAM 4KB）总线
 - APB1 外设总线（EMB/ SPI/ USART/ EFM/ AOS）
 - APB2 外设总线（TimerA/ Timer0/ SPI/ USART/ MCAN）
 - APB3 外设总线（ADC/ DAC/ TRNG）
 - APB4 外设总线（FCM/ WDT/ SWDT/ EMU/ CTC/ RTC/ WKTM）
 - APB5 外设总线（TimerA/ Timer4/ Timer6/ CMP/ I2C）
 - AHB1 外设总线（DCU/ CMU/ GPIO/ DMA/ INTC/ KEYSCAN/ DMPU）
 - AHB4 外设总线（AES/ HASH/ CRC）
 - AHB5 外设总线（SMC/ SMCR/ QSPI）

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

1.4.3 复位控制 (RMU)

芯片配置了 15 种复位方式。

- 上电复位 (POR)
- NRST 引脚复位 (NRST)
- 欠压复位 (BOR)
- 可编程电压检测 1 复位 (PVD1R)
- 可编程电压检测 2 复位 (PVD2R)
- 看门狗复位 (WDTR)
- 专用看门狗复位 (SWDTR)
- 掉电唤醒复位 (PDRST)
- 软件复位 (SRST)
- MPU 错误复位 (MPUR)
- RAM 奇偶校验复位 (RAMPR)
- RAMECC 复位 (RAMECCR)
- 时钟异常复位 (CKFER)
- 外部高速振荡器异常停振复位 (XTALER)
- Cortex-M4 Lock-up 复位 (LKUPR)

1.4.4 时钟控制 (CMU)

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个外部低速振荡器、一个 PLL 时钟、一个内部高速振荡器、一个内部中速振荡器、一个内部低速振荡器、一个 SWDT 专用内部低速振荡器、时钟预分频器、时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能。时钟频率测量电路 (FCM) 使用测定基准时钟对测定对象时钟进行监视测定，在时钟频率超出设定范围时将发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟。系统时钟的最大运行时钟频率可以达到 200MHz，有 6 个可选择的时钟源：

- 1) 外部高速振荡器 (XTAL)
- 2) 外部低速振荡器 (XTAL32)
- 3) PLLH 时钟 (PLLH)
- 4) 内部高速振荡器 (HRC)
- 5) 内部中速振荡器 (MRC)
- 6) 内部低速振荡器 (LRC)

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。SWDT 有独立的时钟源：SWDT 专用内部低速振荡器（SWDTLRC）。实时时钟（RTC）使用外部低速振荡器、内部低速振荡器或者 XTAL 小数分频时钟作为时钟源。

1.4.5 电源控制（PWC）

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换和检测。电源控制器由功耗控制逻辑（PWC）、电源电压检测单元（PVD）构成。

芯片的工作电压（VCC）为 1.8V 到 3.6V。电压调节器（LDO）为 VDD 域和 VDDR 域供电，VDDR 电压调压器（RLDO）在掉电模式为 VDDR 域供电。芯片通过功耗控制逻辑（PWC）提供了高速、超低速等两种运行模式，睡眠、停止和掉电等三种低功耗模式。

电源电压检测单元（PVD）提供了上电复位（POR）、掉电复位（PDR）、欠压复位（BOR）、可编程电压检测 1（PVD1）、可编程电压检测 2（PVD2）等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。

VDDR 区域在芯片进入掉电模式通过 RLDO 维持电源，保持 4KB 的 Ret SRAM 的数据。

模拟模块配备了专用供电引脚，提高了模拟性能。

1.4.6 初始化配置（ICG）

芯片复位解除后，硬件电路会读取 FLASH 地址 0x0000 0400~0x0000 045F 把数据加载到初始化配置寄存器。地址 0x0000 0408~0x0000 040B、0x0000 0410~0x0000 041F、0x0000 0438~0x0000 045F 为保留地址，请写入全 1 保证芯片正常动作。FLASH 引导交换无效时，该区域存在 FLASH 块 0 扇区 0；FLASH 引导交换有效，并且 FLASH 块 0 扇区 0 的 OTP 没有锁存（0x0300 0A80~0x0300 0A83 数据全 1）时，该区域存在 FLASH 块 0 扇区 1；否则该区域存在 FLASH 块 0 扇区 0。用户可通过编程或擦除扇区 0 来修改初始化配置寄存器（ICG）。地址 0x0000 0420~0x0000 0437 为数据安全保护使能区。寄存器复位值由 FLASH 地址数据确定。

1.4.7 嵌入式 Flash 接口（EFM）

FLASH 接口通过 ICODE、DCODE 和 MCODE 总线对 FLASH 进行访问，可对 FLASH 执行编程、擦除和全擦除操作；通过指令预取和缓存机制加速代码执行。

主要特性：

- 最大 9KBytes 的 OTP 空间
- ICODE 总线 16Bytes 预取指
- 两个独立缓存区：ICODE 总线缓存空间 1KBytes；DCODE 总线缓存空间 128Bytes

- 支持引导交换功能
- 支持数据安全保护*1

*1 关于 Flash 安全保护的具体规格，请咨询销售窗口

1.4.8 内置 SRAM (SRAM)

本产品带有 64KB 系统 SRAM (SRAMH/ SRAM0) 和 4KB 掉电模式保持 SRAM (Ret SRAM)。

各 SRAM 可按照字节、半字 (16 位) 或全字 (32 位) 访问。高速 SRAM (SRAMH/ SRAM0) 读写操作最快可以在 CPU 最高速度 (200MHz) 下 0 等待 (即 1 周期) 执行, 也可插入等待周期。各个 SRAM 的读写访问的等待周期由 SRAM 等待控制寄存器 (SRAM_WTCR) 设定。

Ret SRAM 可在 Power Down 模式下提供 4KB 的数据保持空间。

SRAM0 和 Ret SRAM 带有 ECC 校验 (Error Checking and Correcting), ECC 校验为纠一检二码, 即可以纠正一位错误, 检查两位错误; SRAMH 带有奇偶校验 (Even-parity check), 每字节数据带有一位校验位。

1.4.9 通用 IO (GPIO)

GPIO 主要特性:

- 每组 Port 配有 16 个 I/O Pin, 根据实际配置可能不足 16 个
- 支持上拉和下拉
- 支持推挽、开漏输出模式
- 支持高、中、低型驱动模式
- 支持 CMOS/ Schmitt 两种输入模式自由切换
- 支持外部中断的输入
- 支持 I/O pin 周边功能复用, 每个 I/O pin 最多有 41 个可选的复用功能
- 各个 I/O pin 可独立编程
- 各个 I/O pin 可以选择 2 个功能同时有效 (不支持 2 个输出功能同时有效)

1.4.10 中断控制 (INTC)

中断控制器 (INTC) 选择中断事件作为中断请求送到 NVIC 唤醒 WFI; 选择中断事件作为事件输入 (RXEV) 唤醒 WFE; 选择中断事件唤醒系统低功耗模式 (休眠模式和停止模式); 控制外部中断和软件中断。

INTC 的主要规格如下:

- NVIC 中断请求: INTC 配备了 258 个中断事件, 处理后作为中断请求 (IRQ) 发送给 NVIC, 支持 130 个 IRQ, 每个 IRQ 对应一个或多个中断事件
- 更多关于异常和 NVIC 编程的说明, 请参考《Arm Cortex-M4 Processor Technical Reference Manual》

- 可编程优先级：16 个可编程优先级（使用了 4 位中断优先级寄存器）
- 不可屏蔽中断：可以独立选择多种系统中断事件作为不可屏蔽中断，且各中断事件配备独立的使能选择、标志、标志清除寄存器
- 配备 16 个外部管脚中断事件
- 配备多个中断事件，具体请查阅参考手册中断控制器章节中的中断事件表
- 配备 32 个软件中断事件
- 中断可唤醒系统休眠模式和停止模式

1.4.11 自动运行系统（AOS）

自动运行系统（Automatic Operation System）用于在不借助 CPU 的情况下实现外设硬件电路之间的联动。利用外设电路产生的事件作为 AOS 源（AOS Source），如定时器的比较匹配、定时溢出，RTC 的周期信号、通信模块的收发数据的各种状态（空闲、接收数据满、发送数据结束、发送数据空），ADC 的转换结束等，来触发其他外设电路动作。被触发的外设电路动作称为 AOS 目标（AOS Target）。

AOS 中还配备了 4 个可编程逻辑运算单元（PLU），用于 PORT 和 AOS 源的逻辑运算。用户可以根据需求选择一个或多个 AOS 源来触发同一个 AOS 目标。

1.4.12 存储保护单元（MPU）

MPU 可以提供对存储器的保护，通过阻止非授权的访问，可以提高系统的安全性。

本芯片内置了 1 个针对 CPU 的 MPU 单元，1 个针对 CPU 主栈指针的 MPU 单元，1 个针对 CPU 线程栈指针的 MPU 单元，2 个针对 DMA 的 MPU 单元和 1 个针对 IP 的 MPU 单元。

其中 ARM MPU 提供 CPU 对全部 4G 地址空间的访问权限控制。

MSPMPU/ PSPMPU 分别提供对 CPU 的主栈指针/线程栈指针的保护，指针超出设定范围时，可以设置 MPU 动作为不可屏蔽中断/复位。

SMPU1/ SMPU2 分别提供系统 DMA_1/系统 DMA_2 对全部 4G 地址空间的读写访问权限控制。对禁止空间发生访问时，可以设置 MPU 动作为无视/总线错误/不可屏蔽中断/复位。

IPMPU 提供非特权模式时对系统 IP 和安全相关 IP 的访问权限控制。

1.4.13 键盘扫描（KEYSCAN）

本产品搭载键盘控制模块（KEYSCAN）1 个单元。KEYSCAN 模块支持键盘阵列（行和列）扫描，列是由独立的扫描输出 KEYOUTm（m=0~7）驱动，而行 KEYINn（n=0~15）则作为 EIRQn（n=0~15）输入被检测。本模块通过行扫描查询法实现按键识别功能。

1.4.14 内部时钟校准器 (CTC)

内部时钟校准器 (Clock Trimming Controller, 以下称 CTC) 可以自动校准内部高速振荡器 (HRC)。由于工作环境的影响 HRC 的频率可能会产生偏差, 用 CTC 基于外部高精度参考时钟, 采用硬件方式自动调整 HRC 的频率以得到一个精准的 HRC 时钟。

CTC 的主要特性如下:

- 三个外部参考时钟源: XTAL、XTAL32、CTCREF
- 用于频率测量并具有重载功能的 16 位校准计数器
- 用于频率校准的 8 位校准偏差值和 6 位校准值
- 用于提示校准失败的错误中断

1.4.15 DMA 控制器 (DMA)

DMA 用于在存储器和外围功能模块之间传送数据, 能够在 CPU 不参与的情况下, 实现存储器之间, 存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线, 按照 AMBA AHB-Lite 总线协议传输
- 拥有 2 个 DMA 控制单元, 共 12 个独立通道, 可以独立操作不同的 DMA 传输功能
- 每个通道的启动源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据, 最多 1024 个数据
- 每个数据的宽度可配置为 8bit、16bit 或 32bit
- 可以配置 1~65535 次或无限次传输
- 源地址和目标地址可以独立配置为固定、自增、自减、循环或指定偏移量的跳转
- 可产生 3 种中断: 块传输完成中断、传输完成中断和传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成、传输完成可作为事件输出, 可作为其它外围模块的触发源
- 支持连锁传输功能, 可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗
- DMA 访问时 AHB 总线中的 HPROT 值可通过寄存器设置

1.4.16 电压比较器 (CMP)

电压比较器 (Comparator, 以下简称 CMP) 是将两个模拟电压进行比较并且输出比较结果的外设模块。本产品搭载两组共 4 个比较通道: CMP1/ CMP2、CMP3/ CMP4。

CMP 具有以下主要特性:

- 4 个比较通道可独立进行电压比较
- 同组的两个比较通道组合使用可实现最多 2 组窗口比较
- 每个比较通道的正/负端电压均有多个输入源 (IO/DAC) 供选择
- 噪声滤波器可以对比较器输出滤波, 7 种采样时钟可选
- 可使用定时器 PWM 进行比较器输出空白窗口控制
- 可在比较结果的变化边沿产生中断、触发其他外设以及唤醒 STOP 模式
- 比较结果可通过寄存器监视, 也可输出到外部管脚 VCOUT
- 比较结果可用于紧急刹车 (EMB) 控制事件

1.4.17 模数转换器 (ADC)

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。本 MCU 搭载 3 个 ADC 单元, 单元 1 最大支持 16 个通道, 单元 2 最大支持 8 个通道, 单元 3 最大支持 12 个通道, 可以转换来自外部引脚和芯片内部的模拟信号。模拟输入通道可以任意组合成一个序列, 一个序列可以进行单次扫描转换, 或连续扫描转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能, 对任意指定通道的转换结果进行监视, 检测其是否超出用户设定的范围。

ADC 主要特性如下:

- 高性能
 - 可配置 12 位、10 位和 8 位分辨率
 - ADC 数字接口时钟 PCLK4 和转换时钟 PCLK2 (也称作 ADCLK) 的频率比可设置为 1:1、2:1、4:1、8:1、1:2、1:4
 - PCLK2 可选与系统时钟 HCLK 异步的 PLL 时钟, 此时频率比 PCLK4:PCLK2=1:1
 - PCLK2 频率最高支持 60MHz
 - 采样率: 2.5MSPS (PCLK2=60MHz, 12 位, 采样 11 周期, 转换 13 周期)
 - 各通道采样时间独立编程
 - 各通道独立数据寄存器
 - 数据寄存器可配置左/右对齐方式
 - 连续多次转换平均功能
 - 过采样功能
 - 模拟看门狗, 监视转换结果

- 不使用时可以将 ADC 模块设定成停止状态
- 模拟输入通道
 - 最大 24 个外部模拟输入通道
 - 1 个内部模拟输入：内部基准电压
- 转换开始条件
 - 软件设置转换开始
 - 周边外设同步触发转换开始
 - 外部引脚触发转换开始
- 转换模式
 - 2 个扫描序列 A、B，可任意指定单个或多个通道
 - 序列 A 单次扫描
 - 序列 A 连续扫描
 - 序列 A 多重数据缓存模式
 - 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
 - 协同工作模式（适用于具有两个或三个 ADC 的设备）
- 中断与事件信号输出
 - 序列 A 扫描结束中断和事件 ADC_EOCA
 - 序列 B 扫描结束中断和事件 ADC_EOCB
 - 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - 上述的 4 个事件输出都可启动 DMA

1.4.18 数模转换器（DAC）

本 MCU 搭载了 1 个 12 位转换精度的数模转换器单元 DAC。DAC 单元包含两个 D/A 转换通道，两个通道可以独立转换也可以同步转换。模拟电压输出范围有两档可设。每个转换通道配有输出放大器，可以在没有外部运放时直接驱动外部负载。

DAC 主要特性如下：

- 两个 D/A 转换通道
- 12 位转换数据可配置成左对齐或者右对齐格式
- 两个转换通道可实现同步转换
- 转换数据计算单元（DCU）的数据可输出三角波和锯齿波
- 输出可用于电压比较器（CMP）的负端输入
- 输出配有放大功能，可直接驱动外部负载
- A/D 转换优先模式可减少 ADC 转换时的干扰

1.4.19 高级控制定时器 (Timer6)

高级控制定时器 6 (Timer6) 是一个 16 位计数宽度的高性能定时器，能在各种复杂应用场景中提供丰富、灵活的搭配组合和各种中断、事件、PWM 输出。该定时器支持锯齿波和三角波两种计数波形模式，可生成各种 PWM 波形（单边对齐独立 PWM、双边对称独立 PWM、双边对称互补 PWM、双边非对称 PWM 等）；单元间可实现软件同步和硬件同步（同步启动、停止、清零、刷新等）；各基准值寄存器支持缓存功能（单级缓存和双级缓存）；支持脉宽测量和周期测量；支持 2 相正交编码计数和 3 相正交编码计数；支持 EMB 控制。本系列产品中搭载 2 个单元的 Timer6。

1.4.20 通用控制定时器 (Timer4)

通用控制定时器 4 (Timer4) 是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种计数波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 3 个单元的 Timer4。

1.4.21 紧急刹车模块 (EMB)

紧急刹车模块是在满足一定条件时产生控制事件输出给定时器，以控制定时器停止或更改向外部电机输出 PWM 信号的功能模块，下列要因用于产生控制事件：

- 外部端口输入电平变化
- PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- 系统错误发生
- 写寄存器软件控制

1.4.22 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16/32 位计数宽度、8 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种计数波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；比较基准值寄存器支持缓存功能；支持单元间级联计数；支持 2 相正交编码计数和 3 相正交编码计数。本系列产品搭载 5 个单元 TimerA（单元 1 为 32 位定时器，单元 2~5 为 16 位定时器），最多可实现 40 路 PWM 输出。

1.4.23 通用定时器 (Timer0)

通用定时器 0 (Timer0) 是一个可以实现同步计数和异步计数方式的基本定时器。该定时器内含 2 个通道（CH-A 和 CH-B），可以在计数期间产生比较匹配事件与计数溢出事件，该事件可以触发中断，也可作为事件输出来控制其它模块等。本系列产品中搭载 2 个单元的 Timer0。

1.4.24 实时时钟 (RTC)

实时时钟 (RTC) 是一个以 BCD 码格式保存时间信息的计数器。记录从 00 年到 99 年间的具体日历时间。支持 12/ 24 小时两种时制, 可根据月份和年份自动计算日数 28、29 (闰年)、30 和 31 日。

1.4.25 看门狗计数器 (WDT/ SWDT)

本产品有两个看门狗计数器, 一个是计数时钟源为专用内部 RC (SWDTLRC: 10KHz) 的专用看门狗计数器 (SWDT), 另一个是计数时钟源为 PCLK3 的通用看门狗计数器 (WDT)。专用看门狗和通用看门狗都是 16 位递减计数器, 用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。

两个看门狗都支持窗口比较功能。在计数开始前可预设窗口区间, 计数值位于窗口区间时, 可刷新计数器, 计数重新开始。

1.4.26 通用同步异步收发器 (USART)

本产品搭载通用同步异步收发器 (USART) 模块 6 个单元, 能够灵活地与外部设备进行全双工数据交换。本产品搭载的 USART 支持通用异步串行通信接口 (UART)、时钟同步通信接口、智能卡接口 (ISO/ IEC7816-3) 和 LIN 通信接口; 支持调制解调器操作 (CTS/ RTS 操作), 处理器操作。与 Timer0 模块配合支持 UART 接收超时功能。USART_1 支持通过 RX 管脚 STOP 模式唤醒功能。

具体功能分配如下:

- UART: 全通道支持
- 多处理器通信: 全通道支持
- 时钟同步通信: 全通道支持
- RX 管脚唤醒 Stop 模式功能: USART_1 支持
- 小数波特率: 全通道支持
- LIN: USART_3, USART_6 支持
- 智能卡: USART_1, USART_2, USART_4, USART_5 支持
- UART 接收超时功能: USART_1, USART_2, USART_4, USART_5 支持

1.4.27 集成电路总线 (I2C)

I2C (集成电路总线) 用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能, 可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。还支持 SMBus 总线。

本产品搭载 2 个通道的集成电路总线 I2C。

I2C 主要特性:

- I2C 总线方式、SMBus 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对于的各种准备时间、保持时间和总线空闲时间
- 标准模式最大 100Kbps, 快速模式最大 400Kbps
- 自动生成开始条件、重新开始条件和停止条件, 并能检测到总线的开始条件、重新开始条件和停止条件
- 最大支持 128 个从机地址。支持 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址、SMBus 主机地址、SMBus 设备默认地址、SMBus 报警地址
- 发送时可以自动判定应答位。接收时可以自动发送应答位
- 握手功能
- 仲裁功能
- 超时功能, 可以检测 SCL 时钟长时间停止
- SCL 输入和 SDA 输入内置数字滤波器, 滤波能力可编程
- 通信错误, 接收数据满, 发送数据空, 一帧发送结束, 地址匹配一致中断
- 2 级发送 FIFO 和 2 级接收 FIFO

1.4.28 串行外设接口 (SPI)

本产品搭载 3 个通道的串行外设接口 SPI, 支持高速全双工串行同步传输, 可方便地与外围设备进行数据交换。用户可根据需要进行三线/四线, 主机/从机及波特率范围的设置。

SPI 主要特性:

- 串行通信功能
 - 支持 4 线式 SPI 模式和 3 线式时钟同步运行模式
 - 支持全双工和只发送两种通信方式
 - 可调整通信时钟 SCK 的极性和相位
- 数据格式
 - 可选择数据移位顺序:MSB 开始/LSB 开始
 - 可选择数据宽度:4/ 5/ 6/ 7/ 8/ 9/ 10/ 11/ 12/ 13/ 14/ 15/ 16/ 20/ 24/ 32 位
 - 单次最多可传送或接收 4 帧宽度为 32 位的数据
- 波特率

- 主机模式下可通过内置专用波特率发生器对波特率进行调整，波特率范围为 PCLK1 的 2 分频 ~256 分频
- 从机模式下允许的最大波特率为 PCLK1 的 6 分频
- 数据缓冲
 - 带有 16 字节的数据缓冲区域
 - 支持双重缓冲
- 错误监测
 - 模式故障错误监测
 - 数据过载错误监测
 - 数据欠载错误监测
 - 奇偶校验错误监测
- 片选信号控制
 - 每个通道配置四根片选信号线
 - 可对片选信号和通信时钟的相对时序关系进行调整
 - 可对连续两次通信之间的片选信号无效时间进行调整
 - 极性可调
- 主机模式下的传输控制
 - 通过将数据写入数据寄存器启动传输
 - 通信自动挂起功能
- 中断
 - 接受数据区域已满
 - 发送数据区域已空
 - SPI 错误（模式/过载/欠载/奇偶校验）
 - SPI 空置
 - 传输完成（仅为事件源）
- 低功耗控制
 - 可设置模块停止
- 其他功能
 - SPI 初始化功能

1.4.29 四线式串行外设接口（QSPI）

四线式串行外设接口（QSPI）是一个存储器控制模块，主要用于和带 SPI 兼容接口的串行 ROM 进行通信。其对象主要包括有串行闪存、串行 EEPROM 以及串行 FeRAM。

1.4.30 外部存储器控制器 (EXMC)

外部存储器控制器 EXMC (External Memory Controller) 是一个用来访问各种片外存储器, 实现数据交换的独立模块。EXMC 通过配置可以把内部的 AMBA 协议接口转换为各种类型的专用片外存储器通信协议接口, 包括 SRAM、PSRAM、NOR Flash 等。

1.4.31 控制器局域网 (MCAN)

本产品搭载两个单元 MCAN 通信接口模块 (MCAN1 和 MCAN2), 并为两个 MCAN 控制器配备了 2KB 的 RAM。

两个 CAN 模块 (MCAN1 和 MCAN2) 均符合 ISO 11898-1: 2015 (CAN 协议规范第 2.0 版 A、B 部分) 和 CAN FD 协议规范第 1.0 版 (CAN with Flexible Data-Rate Specification Version 1.0)。

2KB 的消息 RAM 存储器可实现接收过滤器 (Rx Filter)、接收 FIFO (Rx FIFO)、接收缓冲区 (Rx Buffer)、发送事件 FIFO (Tx Event FIFO)、发送缓冲区 (Tx Buffer) 功能。该消息 RAM 在 MCAN1 和 MCAN2 模块之间共用。

1.4.32 加密协处理模块 (CPM)

加密协处理模块 (CPM) 包括 AES 加解密算法处理器、HASH 安全散列算法、TRNG 真随机数发生器三个子模块。

AES 加解密算法处理器遵循美国国家标准技术研究所 (NIST) 在 2000 年 10 月 2 日正式宣布的新的数据加密标准, 分组长度固定为 128 位, 而密钥长度支持 128/ 192/ 256 位。

HASH 安全散列算法是 SHA-2 版本的 SHA-256 (Secure Hash Algorithm), 符合美国国家标准和技术局发布的国家标准“FIPS PUB 180-3”, 可以对长度不超过 2^{64} 位的消息产生 256 位的消息摘要输出。

TRNG 真随机数发生器是以连续模拟噪声为基础的随机数发生器, 提供 64bit 随机数。

1.4.33 数据计算单元 (DCU)

数据计算单元 DCU (Data Computing Unit) 是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器, 能够进行 2 个数据的加减运算和大小比较, 以及窗口比较功能, 还可以通过定时器触发为数模转换模块 (DAC) 提供连续变化的数字量以产生三角波和锯齿波输出。本产品搭载 4 个 DCU 单元。

1.4.34 CRC 计算单元 (CRC)

本模块 CRC 算法遵从 ISO/ IEC13239 的定义, 分别采用 32 位和 16 位的 CRC。CRC32 的生成多项式为 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, 32 位初值为 0xFFFF FFFF。CRC16 的生成多项式为 $X^{16} + X^{12} + X^5 + 1$, 16 位初值为 0xFFFF。

1.4.35 调试控制器 (DBGC)

本 MCU 的内核是 Cortex-M4，该内核包含用于高级调试功能的硬件。利用这些调试功能，可以在取指（指令断点）或访问数据（数据断点）时停止内核。内核停止时，可以查询内核的内部状态和系统的外部状态，查询完成后，将恢复内核和系统并恢复程序执行。

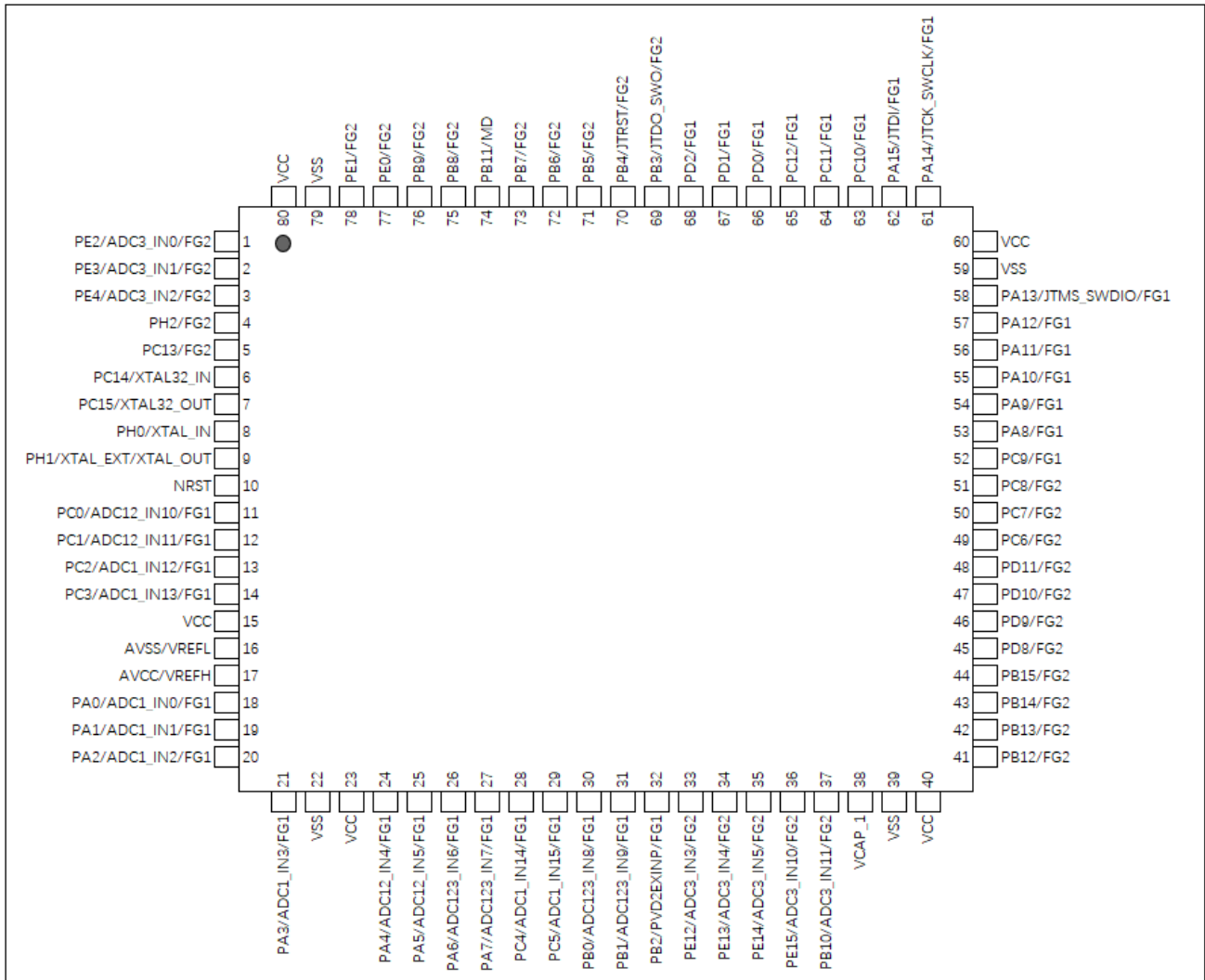
提供两个调试接口：

- 串行调试跟踪接口 SWD
- 并行调试跟踪接口 JTAG

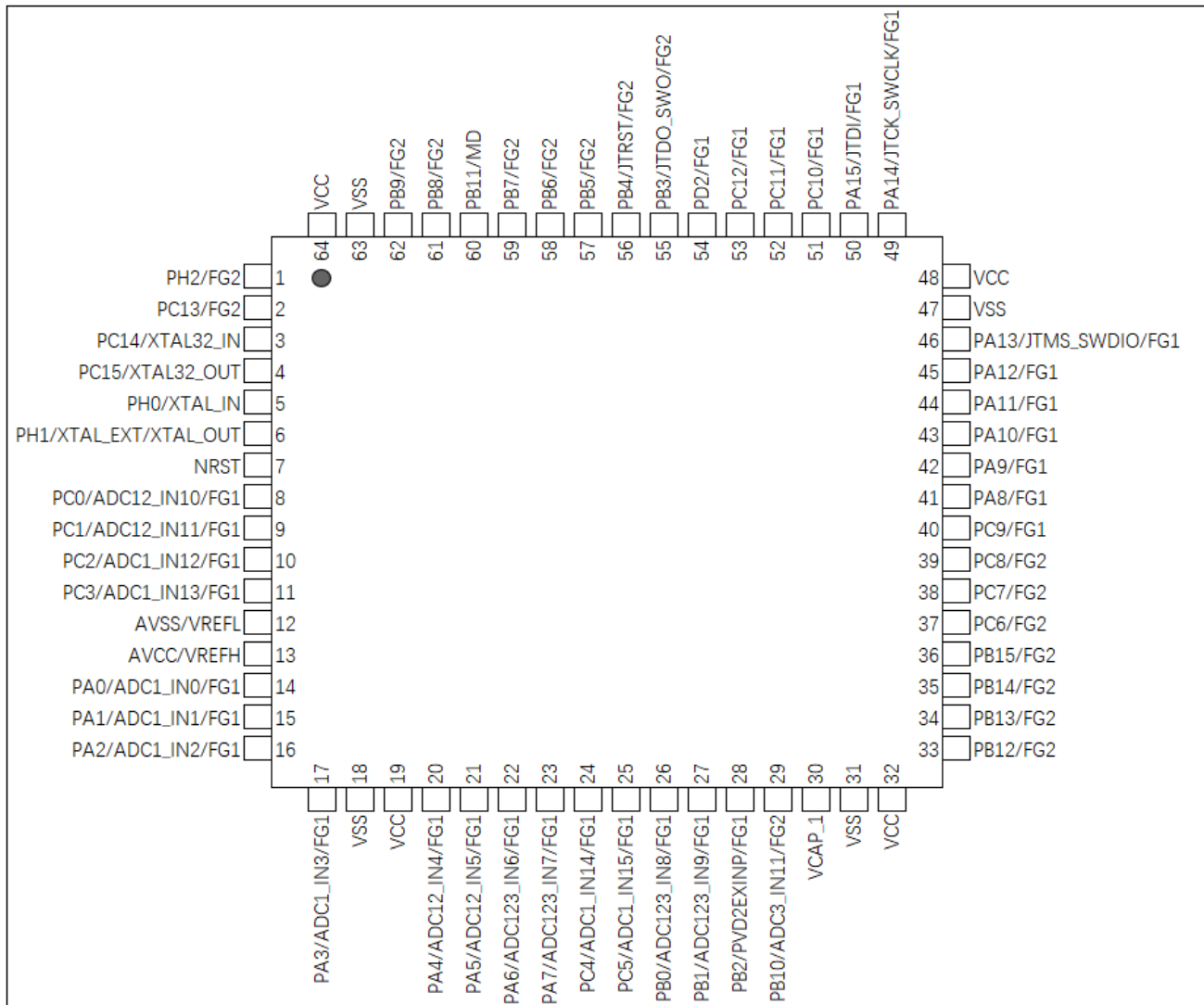
2 引脚配置及功能 (Pinouts)

2.1 引脚配置图

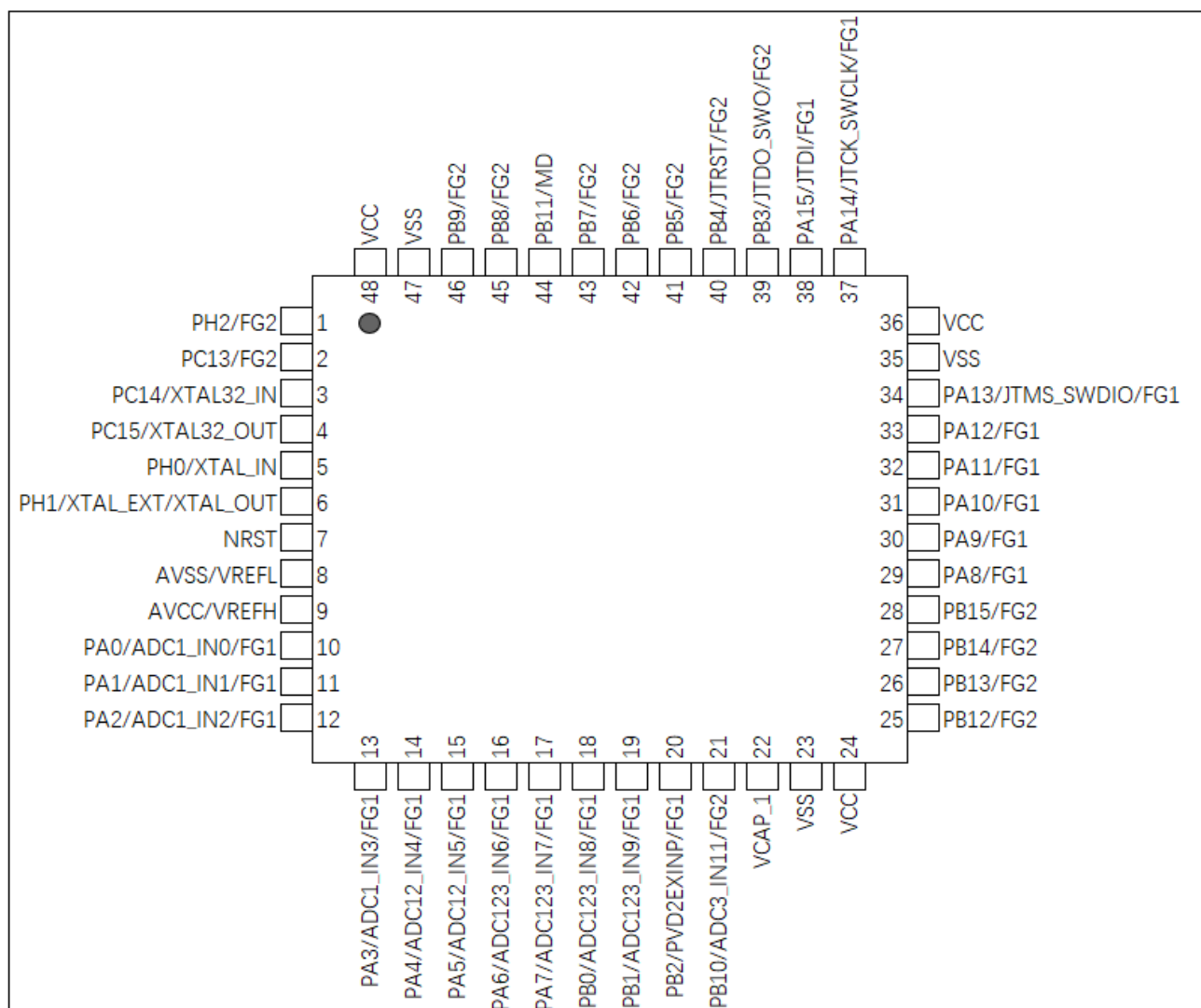
LQFP80



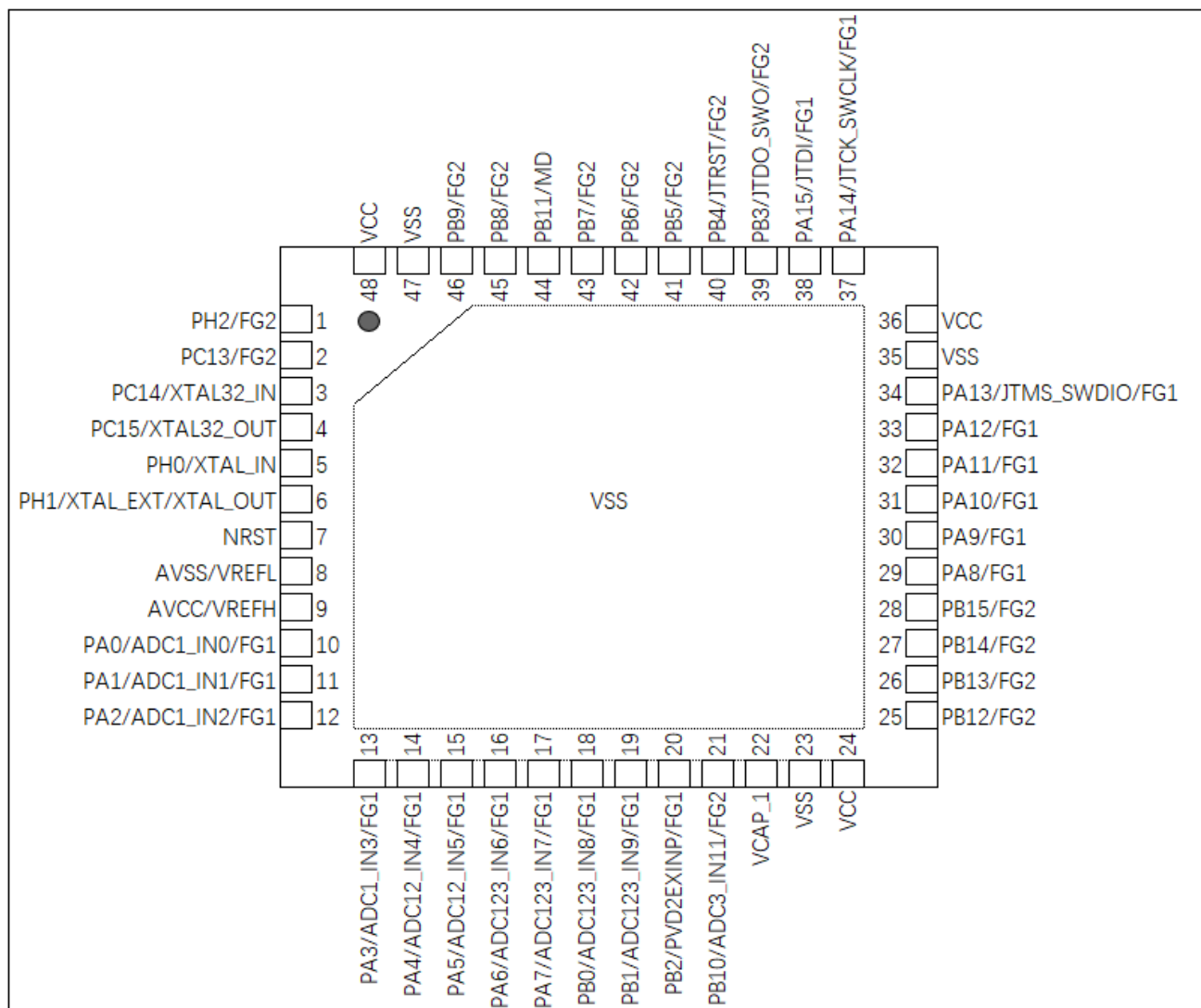
LQFP64



LQFP48

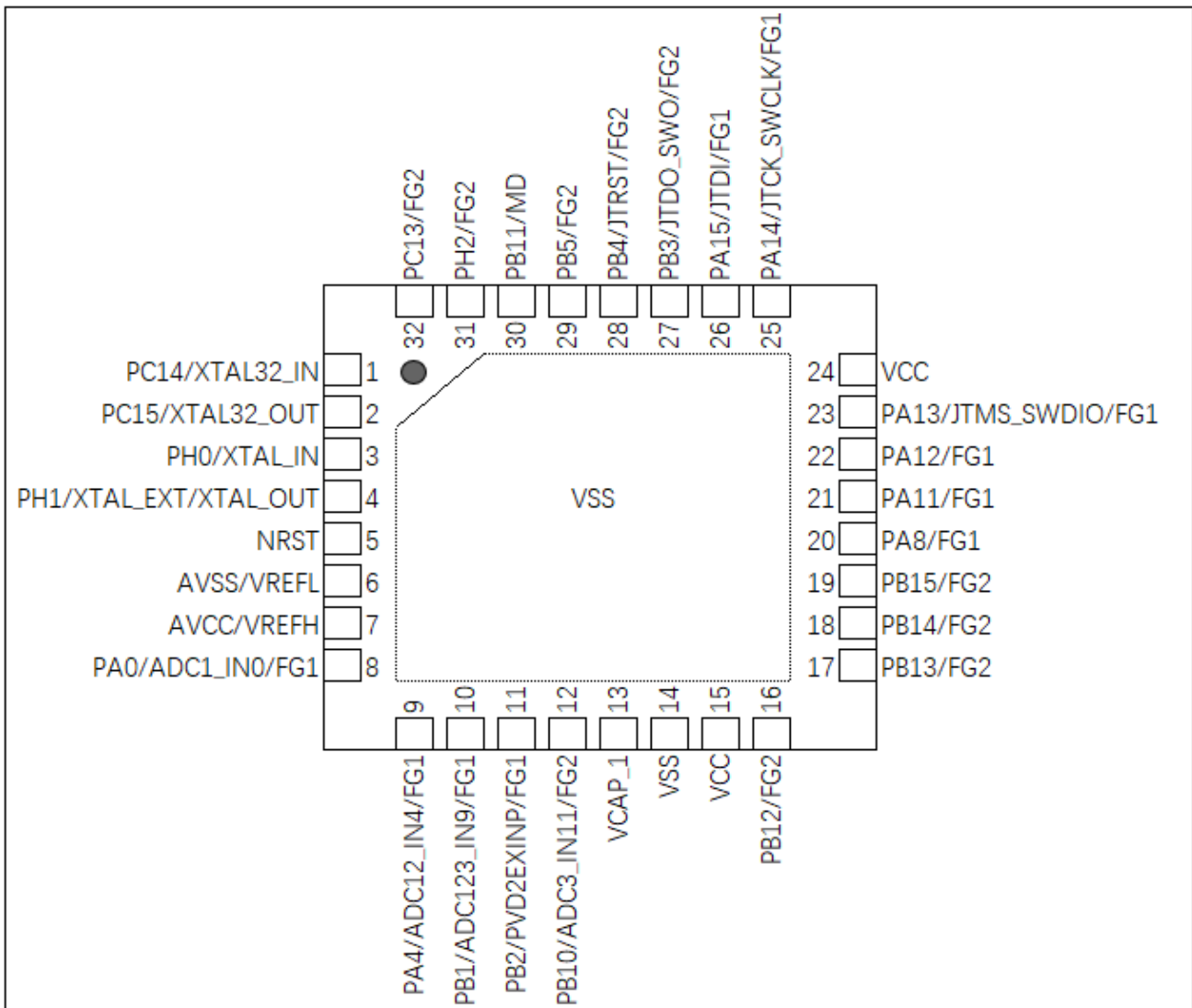


QFN48



注：上图为 QFN48 的顶视图 (Top View)。

QFN32



注：上图为 QFN32 的顶视图（Top View）。

图 2-1 引脚配置图

2.2 引脚功能表

表 2-1 引脚功能表

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	PinName	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func 9~10	Func11	Func12	Func13	Func14	Func15	Func 16~20	Func21	Func22	Func 23~31	Func Group
								GPO	other	TIM4, VCOUT	TIM4, TIM6	TIMA	TIMA	EMB, TIMA	USART,SPI, QSPI	KEY, USART	-	TIM4, TIMA	EXMC, TIMA	TIM6, TIMA	EVNTP	EVENTOUT	-	PLUIN	PLUOUT		
1	-	-	-	PE2	ADC3_IN0	EIRQ2	TRACE CLK			TIM4_2_PCT		TIMA_3_PWM5			USART3_CK	USART6_RTS						EVENTOUT		PLU0_INA	PLU0_OUT		FG2
2	-	-	-	PE3	ADC3_IN1	EIRQ3	TRACE D0			TIM4_2_ADSM		TIMA_3_PWM6			USART4_CK	USART5_RTS						EVENTOUT		PLU0_INB	PLU1_OUT		FG2
3	-	-	-	PE4	ADC3_IN2	EIRQ4	TRACE D1		CTCRF	TIM4_1_PCT	TIM4_2_OWL	TIMA_3_PWM7			USART6_CK							EVENTOUT		PLU0_INC	PLU2_OUT		FG2
4	1	1	31	PH2		EIRQ2	TRACE D2		FCMRF	TIM4_2_CLK		TIMA_4_PWM7	TIMA_3_TRIG	EMB_IN4	USART4_CK	USART6_CTS		TIMA_4_TRIG				EVENTOUT		PLU0_IND	PLU3_OUT		FG2
5	2	2	32	PC13		EIRQ13	TRACE D3		RTC_OUT	VCOUT4	TIM4_1_OXL	TIMA_4_PWM8	TIMA_2_PWM2/CLKB		USART5_CK	USART6_RTS		TIM4_1_ADSM	EXMC_AD16		EVNTP313			PLU1_INA	PLU0_OUT		FG2
6	3	3	1	PC14	XTAL32_IN	EIRQ14			CTCRF	TIM4_1_OVH	TIM4_3_OXH	TIMA_4_PWM5				USART5_CTS		TIM4_1_OXH	EXMC_BA_A		EVNTP314			PLU1_INB	PLU1_OUT		
7	4	4	2	PC15	XTAL32_OUT	EIRQ15				TIM4_1_OWH	TIM4_3_OXL	TIMA_4_PWM6				USART5_RTS		TIM4_1_CLK	EXMC_CR_E		EVNTP315			PLU1_INC	PLU2_OUT		
8	5	5	3	PH0	XTAL_IN	EIRQ0				TIM4_3_OXL			TIMA_5_PWM3											PLU1_IND	PLU3_OUT		
9	6	6	4	PH1	XTAL_EXT/XTAL_OUT	EIRQ1				TIM4_3_CLK			TIMA_5_PWM4											PLU2_INA	PLU0_OUT		
10	7	7	5	NRST																							
11	8	-	-	PC0	ADC12_IN1+CM P3_INP3+CM P4_INP3	EIRQ0				TIM4_3_PCT		TIMA_2_PWM5							EXMC_WA_I		EVNTP300	EVENTOUT		PLU2_INB	PLU1_OUT		FG1
12	9	-	-	PC1	ADC12_IN11	EIRQ1				TIM4_3_ADSM		TIMA_2_PWM6							EXMC_CLK		EVNTP301	EVENTOUT		PLU2_INC	PLU2_OUT		FG1
13	10	-	-	PC2	ADC1_IN12	EIRQ2				TIM4_3_OXH		TIMA_2_PWM7		EMB_IN3					EXMC_BLS0		EVNTP302	EVENTOUT		PLU2_IND	PLU3_OUT		FG1
14	11	-	-	PC3	ADC1_IN13+CM P1_INM2	EIRQ3			MCO_2	TIM4_3_OXL		TIMA_2_PWM8							EXMC_BLS1		EVNTP303	EVENTOUT		PLU3_INA	PLU0_OUT		FG1
15	-	-	-	VCC																							
16	12	8	6	AVSS/ VREFL																							
17	13	9	7	AVCC/ VREFH																							
18	14	10	8	PA0	ADC1_IN0 +CMP1_INP1	EIRQ0+W KUP0_0			TIM4_1_OVH	TIM4_2_OUH		TIMA_2_PWM1/CLKA	TIMA_1_PWM1/CLKA	TIMA_2_TRIG	SPI1_NSS1	USART3_CTS			EXMC_AD17		EVNTP100	EVENTOUT		PLU3_INB	PLU1_OUT		FG1
19	15	11	-	PA1	ADC1_IN1 +CMP1_INP2	EIRQ1				TIM4_2_OUL		TIMA_2_PWM2/CLKB	TIMA_3_TRIG		SPI1_NSS2	USART5_CTS			EXMC_AD18		EVNTP101	EVENTOUT		PLU3_INC	PLU2_OUT		FG1

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	PinName	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func 9~10	Func11	Func12	Func13	Func14	Func15	Func 16~20	Func21	Func22	Func 23~31	Func Group
								GPO	other	TIM4, VCOUT	TIM4, TIM6	TIMA	TIMA	EMB, TIMA	USART,SPI, QSPI	KEY, USART	-	TIM4, TIMA	EXMC, TIMA	TIM6, TIMA	EVNTP	EVENTOUT	-	PLUIN	PLUOUT		
20	16	12	-	PA2	ADC1_IN2 +CMP1_INP3	EIRQ2				TIM4_2_OVH		TIMA_2_P PWM3	TIMA_5_P WM1/CLK A		SPI1_NSS3	USART6_ CTS			EXMC_AD 19		EVNTP10 2	EVENTOUT		PLU3_IND	PLU3_OU T		FG1
21	17	13	-	PA3	ADC1_IN3 +CMP1_INP4 +CMP2_INP4	EIRQ3				TIM4_2_OVL		TIMA_2_P PWM4	TIMA_5_P WM2/CLK B		USART5_CK	USART3_ RTS			EXMC_AD 20		EVNTP10 3	EVENTOUT		PLU0_INA	PLU0_OU T		FG1
22	18	-	-	VSS																							
23	19	-	-	VCC																							
24	20	14	9	PA4	ADC12_IN4 +CMP2_INP1 +CMP3_INP4 +DAC_OUT1	EIRQ4			TIM4_1_OWH	TIM4_2_OWH			TIMA_3_P WM5		USART2_CK	KEYOUT0			EXMC_CS 0		EVNTP10 4	EVENTOUT		PLU0_INB	PLU1_OU T		FG1
25	21	15	-	PA5	ADC12_IN5+CM P2_INP2+DAC_ OUT2	EIRQ5				TIM4_2_OWL		TIMA_2_P PWM1/ CLKA	TIMA_3_P WM6	TIMA_2_T RIG	SPI3_NSS1	KEYOUT1			EXMC_DA TA7		EVNTP10 5	EVENTOUT		PLU0_INC	PLU2_OU T		FG1
26	22	16	-	PA6	ADC123_IN+CM P2_INP3	EIRQ6				TIM4_2_ADS M	TIM4_1_P CT		TIMA_3_P WM1/CLK A	EMB_IN2	SPI3_NSS2	KEYOUT2			EXMC_DA TA0		EVNTP10 6	EVENTOUT		PLU0_IND	PLU3_OU T		FG1
27	23	17	-	PA7	ADC123_IN+CM P1234_INM1	EIRQ7				TIM4_1_OUL	TIM6_1_P PWMB	TIMA_1_P PWM5	TIMA_3_P WM2/CLK B	EMB_IN3	SPI3_NSS3	KEYOUT3			EXMC_DA TA1		EVNTP10 7	EVENTOUT		PLU1_INA	PLU0_OU T		FG1
28	24	-	-	PC4	ADC1_IN14 +CMP2_INM2	EIRQ4				TIM4_2_OUH			TIMA_3_P WM7		USART1_CK				EXMC_DA TA8		EVNTP30 4	EVENTOUT		PLU1_INB	PLU1_OU T		FG1
29	25	-	-	PC5	ADC1_IN15 +CMP3_INM2	EIRQ5				TIM4_2_OUL			TIMA_3_P WM8						EXMC_DA TA9		EVNTP30 5	EVENTOUT		PLU1_INC	PLU2_OU T		FG1
30	26	18	-	PB0	ADC123_IN8+C MP3_INP1	EIRQ0				TIM4_1_OVL	TIM6_2_P PWMB	TIMA_1_P PWM6	TIMA_3_P WM3		USART4_CK	KEYOUT4			EXMC_DA TA2		EVNTP20 0	EVENTOUT		PLU1_IND	PLU3_OU T		FG1
31	27	19	10	PB1	ADC123_IN9+C MP3_INP2+CM P4_INP2	EIRQ1+W KUP0_1			CTCRE F	TIM4_1_OWL		TIMA_1_P PWM7	TIMA_3_P WM4	TIMA_4_P WM4	QSPI1_NSS	KEYOUT5			EXMC_DA TA3		EVNTP20 1	EVENTOUT		PLU2_INA	PLU0_OU T		FG1
32	28	20	11	PB2	PVD2EXINP	EIRQ2+W KUP0_2			VCOUT	TIM4_1_PCT	TIM6_1_P RIGB	TIMA_1_P PWM8	TIMA_5_P WM2/CLK B	EMB_IN1	QSPI1_IO3						EVNTP20 2	EVENTOUT		PLU2_INB	PLU1_OU T		FG1
33	-	-	-	PE12	ADC3_IN3	EIRQ12				TIM4_1_OWL		TIMA_1_P PWM7			SPI1_NSS1				EXMC_DA TA10			EVENTOUT		PLU2_INC	PLU2_OU T		FG2
34	-	-	-	PE13	ADC3_IN4	EIRQ13				TIM4_1_OWH		TIMA_1_P PWM3			SPI1_NSS2				EXMC_DA TA11			EVENTOUT		PLU2_IND	PLU3_OU T		FG2
35	-	-	-	PE14	ADC3_IN5	EIRQ14			ADTRG 1	TIM4_1_CLK		TIMA_1_P PWM4			SPI1_NSS3				EXMC_DA TA12			EVENTOUT		PLU3_INA	PLU0_OU T		FG2
36	-	-	-	PE15	ADC3_IN10	EIRQ15			ADTRG 3			TIMA_1_P PWM8	TIMA_5_T RIG	EMB_IN2	USART4_CK				EXMC_DA TA13			EVENTOUT		PLU3_INB	PLU1_OU T		FG2
37	29	21	12	PB10	ADC3_IN11	EIRQ10			ADTRG 2	TIM4_2_OVH	TIM4_1_P OXL	TIMA_2_P PWM3	TIMA_5_P WM8	TIMA_1_P WM3	QSPI1_IO2				EXMC_DA TA4		EVNTP21 0	EVENTOUT		PLU3_INC	PLU2_OU T		FG2
38	30	22	13	VCAP_1																							
39	31	23	14	VSS																							
40	32	24	15	VCC																							
41	33	25	16	PB12		EIRQ12			VCOUT 1	TIM4_2_OVL	TIM6_1_P RIGB	TIMA_1_P PWM8	TIMA_5_T RIG	EMB_IN2	QSPI1_IO1	USART5_ CTS			EXMC_DA TA5		EVNTP21 2	EVENTOUT		PLU3_IND	PLU3_OU T		FG2

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	PinName	Analog	EIRQ /WKUP	TRACE /JTAG	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func 9~10	Func11	Func12	Func13	Func14	Func15	Func 16~20	Func21	Func22	Func 23~31	Func Group
								GPO	other	TIM4, VCOUT	TIM4, TIM6	TIMA	TIMA	EMB, TIMA	USART,SPI, QSPI	KEY, USART	-	TIM4, TIMA	EXMC, TIMA	TIM6, TIMA	EVNTP1	EVENTOUT	-	PLUIN	PLUOUT		
42	34	26	17	PB13		EIRQ13			VCOUT ₂	TIM4_1_OUL	TIM6_1_PWMB	TIMA_1_PWM5	TIMA_4_P WM1/CLK A	TIMA_3_P WM1/CLK A	QSPI1_IO0	USART5_RTS					EVNTP21 ₃	EVENTOUT		PLU0_INA	PLU0_OUT		FG2
43	35	27	18	PB14		EIRQ14			VCOUT ₃	TIM4_1_OVL	TIM6_2_PWMB	TIMA_1_PWM6	TIMA_4_P WM2/CLK B	TIMA_3_P WM2/CLK B	QSPI1_SCK	USART6_CTS					EVNTP21 ₄	EVENTOUT		PLU0_INB	PLU1_OUT		FG2
44	36	28	19	PB15		EIRQ15			RTC_OUT	TIM4_1_OWL		TIMA_1_PWM7		EMB_IN4	USART3_CK	USART6_RTS		TIMA_1_P WM2/CLK B	TIMA_2_P WM2/CLK B	TIM6_2_P WMA	EVNTP21 ₅	EVENTOUT		PLU0_INC	PLU2_OUT		FG2
45	-	-	-	PD8		EIRQ8				TIM4_3_OUL	TIM4_2_OWL				QSPI1_IO0	KEYOUT7		TIM4_1_OXH			EVNTP40 ₈	EVENTOUT		PLU0_IND	PLU3_OUT		FG2
46	-	-	-	PD9		EIRQ9				TIM4_3_OVL	TIM4_2_OVL				QSPI1_IO1	KEYOUT6		TIM4_1_OXL			EVNTP40 ₉	EVENTOUT		PLU1_INA	PLU0_OUT		FG2
47	-	-	-	PD10		EIRQ10				TIM4_3_OWL					QSPI1_IO2	KEYOUT5		TIM4_2_OXH			EVNTP41 ₀	EVENTOUT		PLU1_INB	PLU1_OUT		FG2
48	-	-	-	PD11		EIRQ11				TIM4_3_CLK					QSPI1_IO3	KEYOUT4		TIM4_2_OXL			EVNTP41 ₁	EVENTOUT		PLU1_INC	PLU2_OUT		FG2
49	37	-	-	PC6		EIRQ6			CTCRE _F	TIM4_2_ADS _M	TIM4_1_CLK	TIMA_3_PWM1/CLKA	TIMA_5_P WM8		QSPI1_SCK	KEYOUT3					EVNTP30 ₆	EVENTOUT		PLU1_IND	PLU3_OUT		FG2
50	38	-	-	PC7		EIRQ7				TIM4_2_CLK	TIM4_3_OVH	TIMA_3_PWM2/CLKB	TIMA_5_P WM7		QSPI1_NSS	KEYOUT2					EVNTP30 ₇	EVENTOUT		PLU2_INA	PLU0_OUT		FG2
51	39	-	-	PC8		EIRQ8				TIM4_2_OWH	TIM4_3_OVL	TIMA_3_PWM3	TIMA_5_P WM6		USART3_CK	KEYOUT1			EXMC_DAI4		EVNTP30 ₈	EVENTOUT		PLU2_INB	PLU1_OUT		FG2
52	40	-	-	PC9		EIRQ9			MCO_2	TIM4_2_OWL	TIM4_3_OUL	TIMA_3_PWM4	TIMA_5_P WM5			KEYOUT0			EXMC_DAI5		EVNTP30 ₉	EVENTOUT		PLU2_INC	PLU2_OUT		FG1
53	41	29	20	PA8	CMP4_INM2	EIRQ8+W KUP2_0			MCO_1	TIM4_1_OUH	TIM6_1_PWMA	TIMA_1_PWM1/CLKA	TIMA_2_P WM1/CLK A		USART1_CK						EVNTP10 ₈	EVENTOUT		PLU2_IND	PLU3_OUT		FG1
54	42	30	-	PA9	CMP4_INP1	EIRQ9+W KUP2_1			CTCRE _F	TIM4_1_OVH	TIM6_2_PWMA	TIMA_1_PWM2/CLKB									EVNTP10 ₉	EVENTOUT		PLU3_INA	PLU0_OUT		FG1
55	43	31	-	PA10	CMP4_INP4	EIRQ10+W KUP2_2			CTCRE _F	TIM4_1_OWH	TIM4_3_CLK	TIMA_1_PWM3	TIMA_5_T RIG		USART6_CK						EVNTP11 ₀	EVENTOUT		PLU3_INB	PLU1_OUT		FG1
56	44	32	21	PA11		EIRQ11+W KUP2_3			TIM4_1_OXL	TIM4_1_CLK	TIM6_T RIGA	TIMA_1_PWM4	TIMA_5_P WM1/CLK A	EMB_IN1	USART5_CK	USART3_RTS					EVNTP11 ₁	EVENTOUT		PLU3_INC	PLU2_OUT		FG1
57	45	33	22	PA12		EIRQ12+W KUP3_0			TIM4_1_ADS _M	TIM4_3_OWL	TIM6_T RIGA	TIMA_1_TRIG		TIMA_2_T RIG	USART6_CK	USART3_CTS		TIM4_2_P CT	EXMC_DAI6	TIMA_3_P WM1/CLK A	EVNTP11 ₂	EVENTOUT		PLU3_IND	PLU3_OUT		FG1
58	46	34	23	PA13		EIRQ13+W KUP3_1	JTMS_S WDIO			TIM4_3_ADS _M		TIMA_2_PWM5			SPI2_NSS1			TIMA_5_T RIG	EXMC_DAI7		EVNTP11 ₃	EVENTOUT		PLU0_INA	PLU0_OUT		FG1
59	47	35	-	VSS																							
60	48	36	24	VCC																							
61	49	37	25	PA14		EIRQ14+W KUP3_2	JTCK_S WCLK			TIM4_3_PCT		TIMA_2_PWM6		TIMA_4_T RIG	SPI2_NSS2				EXMC_CS ₀		EVNTP11 ₄	EVENTOUT		PLU0_INB	PLU1_OUT		FG1
62	50	38	26	PA15		EIRQ15+W KUP3_3	JTDI			TIM4_3_OXH		TIMA_2_PWM1/CLKA		TIMA_2_T RIG	SPI2_NSS3						EVNTP11 ₅	EVENTOUT		PLU0_INC	PLU2_OUT		FG1
63	51	-	-	PC10		EIRQ10				TIM4_3_OUH		TIMA_2_PWM7	TIMA_5_P WM1/CLK A								EVNTP31 ₀	EVENTOUT		PLU0_IND	PLU3_OUT		FG1

LQFP 80	LQFP 64	QFN/ LQFP48	QFN 32	PinName	Analog	EIRQ /WKUP	TRACE /JTAG	Func0 GPO	Func1 other	Func2 TIM4, VCOUT	Func3 TIM4, TIM6	Func4 TIMA	Func5 TIMA	Func6 EMB, TIMA	Func7 USART,SPI, QSPI	Func8 KEY, USART	Func 9~10 -	Func11 TIM4, TIMA	Func12 EXMC, TIMA	Func13 TIM6, TIMA	Func14 EVNTP T	Func15 EVENTOUT	Func 16~20 -	Func21 PLUIN	Func22 PLUOUT	Func 23~31	Func Group
64	52	-	-	PC11		EIRQ11				TIM4_3_OVH		TIMA_2_P WM8	TIMA_5_P WM2/CLK B					TIM4_2_O XH			EVNTP31 1	EVENTOUT		PLU1_INA	PLU0_OU T		FG1
65	53	-	-	PC12		EIRQ12				TIM4_3_OWH	TIM4_2_P CT	TIMA_4 TRIG	TIMA_5_P WM3					TIM4_1_O XL			EVNTP31 2	EVENTOUT		PLU1_INB	PLU1_OU T		FG1
66	-	-	-	PD0		EIRQ0			VCOUT	TIM4_2_OUL	TIM4_3_O UH		TIMA_5_P WM4								EVNTP40 0	EVENTOUT		PLU1_INC	PLU2_OU T		FG1
67	-	-	-	PD1		EIRQ1				TIM4_2_OWH	TIM4_3_O WH	TIMA_3 TRIG									EVNTP40 1	EVENTOUT		PLU1_IND	PLU3_OU T		FG1
68	54	-	-	PD2		EIRQ2				TIM4_1_OXH	TIM4_2_O VH	TIMA_2_P WM4									EVNTP40 2	EVENTOUT		PLU2_INA	PLU0_OU T		FG1
69	55	39	27	PB3		EIRQ3+W KUP0_3	JTDO_T RACES WO		FCMRE F	TIM4_3_CLK		TIMA_2_P WM2 /CLKB									EVNTP20 3	EVENTOUT		PLU2_INB	PLU1_OU T		FG2
70	56	40	28	PB4		EIRQ4+W KUP1_0	NJTRST			TIM4_3_OWL		TIMA_3_P WM1 /CLKA									EVNTP20 4	EVENTOUT		PLU2_INC	PLU2_OU T		FG2
71	57	41	29	PB5		EIRQ5+W KUP1_1			ADTRG 3	TIM4_3_OVH	TIM6_1_P WMA	TIMA_3_P WM2 /CLKB	TIMA_3_T RIG	TIMA_4_T RIG	USART4_CK			TIM4_1_O XH		TIMA_1_P WM2/CLK B	EVNTP20 5	EVENTOUT		PLU2_IND	PLU3_OU T		FG2
72	58	42	-	PB6		EIRQ6+W KUP1_2			ADTRG 2	TIM4_3_OVL		TIMA_4_P WM1 /CLKA						TIM4_1_O XL			EVNTP20 6	EVENTOUT		PLU3_INA	PLU0_OU T		FG2
73	59	43	-	PB7		EIRQ7+W KUP1_3			ADTRG 1	TIM4_3_OVH		TIMA_4_P WM2 /CLKB						TIM4_2_O XH	EXMC_AD V		EVNTP20 7	EVENTOUT		PLU3_INB	PLU1_OU T		FG2
74	60	44	30	PB11/MD																	EVNTP21 1			PLU3_INC	PLU2_OU T		
75	61	45	-	PB8		EIRQ8				TIM4_3_OUL		TIMA_4_P WM3			USART5_CK	KEYOUT7		TIM4_2_O XL	EXMC_WE		EVNTP20 8	EVENTOUT		PLU3_IND	PLU3_OU T		FG2
76	62	46	-	PB9		EIRQ9				TIM4_3_OUH		TIMA_4_P WM4		EMB_IN4	SPI2_NSS1	KEYOUT6		TIM4_1_A DSM	EXMC_OE		EVNTP20 9	EVENTOUT		PLU0_INA	PLU0_OU T		FG2
77	-	-	-	PE0		EIRQ0			MCO_1	TIM4_1_ADS M		TIMA_4 TRIG			SPI2_NSS2							EVENTOUT		PLU0_INB	PLU1_OU T		FG2
78	-	-	-	PE1		EIRQ1			MCO_2	TIM4_3_CLK					SPI2_NSS3			TIM4_2_O UH				EVENTOUT		PLU0_INC	PLU2_OU T		FG2
79	63	47	-	VSS																							
80	64	48	-	VCC																							

注：

- 上表中，Func32~63 主要为串行通信功能（包含 USART、SPI、I2C、MCAN），分成两组 FunctionGroup，简称 FG1, FG2。详细请参考表 2-2。

表 2-2 Func32~63 表

	Func32	Func33	Func34	Func35	Func36	Func37	Func38	Func39	Func40	Func41	Func42	Func43	Func44	Func45	Func46	Func47
FG1	USART1_TX	USART1_RX	USART1_RTS	USART1_CTS	USART2_TX	USART2_RX	USART2_RTS	USART2_CTS	SPI1_MOSI	SPI1_MISO	SPI1_NSS0	SPI1_SCK	SPI2_MOSI	SPI2_MISO	SPI2_NSS0	SPI2_SCK
FG2	USART3_TX	USART3_RX	USART3_RTS	USART3_CTS	USART4_TX	USART4_RX	USART4_RTS	USART4_CTS	SPI3_MOSI	SPI3_MISO	SPI3_NSS0	SPI3_SCK	SPI1_MOSI	SPI1_MISO	SPI1_NSS0	SPI1_SCK

	Func48	Func49	Func50	Func51	Func52	Func53	Func54	Func55	Func56	Func57	Func58	Func59	Func60	Func61	Func62	Func63
FG1	I2C1_SDA	I2C1_SCL	I2C2_SDA	I2C2_SCL	USART3_TX	USART3_RX	USART6_TX	USART6_RX	MCAN1_TX	MCAN1_RX	-	-	-	-	-	-
FG2	I2C1_SDA	I2C1_SCL	MCAN1_TX	MCAN1_RX	USART5_TX	USART5_RX	USART6_TX	USART6_RX	MCAN2_TX	MCAN2_RX	-	-	-	-	-	-

表 2-3 端口配置

Package	Port Group	Bits																Pin Count Total	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
LQFP80	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	67
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	-	-	-	-	0	0	0	0	-	-	-	-	-	0	0	0	7	
	PortE	0	0	0	0	-	-	-	-	-	-	-	0	0	0	0	0	9	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
LQFP64	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	52
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortD	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-	-	1	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
LQFP48	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	38
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
QFN48	PortA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	38
	PortB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
QFN32	PortA	0	0	0	0	0	-	-	0	-	-	-	0	-	-	-	0	8	25
	PortB	0	0	0	0	0	0	-	-	-	-	0	0	0	0	0	-	11	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

表 2-4 通用功能规格

Port		上拉/下拉	开漏输出	驱动能力	5V 耐压
PortA	PA0~PA6, PA9~PA15	支持	支持	低,中,高	支持
	PA7, PA8	支持	支持	低,中,高	不支持
PortB	PB0~PB15	支持	支持	低,中,高	支持
PortC	PC0~PC2, PC6~PC15	支持	支持	低,中,高	支持
	PC3~PC5	支持	支持	低,中,高	不支持
PortD	PD0~PD2, PD8~11	支持	支持	低,中,高	支持
PortE	PE0~PE5, PE12~15	支持	支持	低,中,高	支持
PortH	PH0~PH2	支持	支持	低,中,高	支持

注：

- 用作模拟功能时，输入电压不得高于 AVCC/ VREFH。

2.3 引脚功能说明

表 2-5 引脚功能说明

类别	功能名	I/O	说明
Power System	VCC	I	电源
	VSS	I	电源地
	VCAP_1	IO	内核电压
	AVCC/VREFH	I	模拟电源/模拟参考电压
	AVSS/VREFL	I	模拟电源地/模拟参考电压
	NRST	I	复位端子，低有效
	MD	I	模式端子
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_IN	I	外部主时钟振荡器接口
	XTAL_EXT/XTAL_OUT	O	XTAL_EXT 外部时钟输入
	XTAL32_IN	I	外部副时钟（32KHz）振荡器接口
	XTAL32_OUT	O	
	MCO_x (x=1~2)	O	内部时钟输出
GPIO	GPIOxy (x=A~E, H, y=0~15)	IO	通用输入输出
EVENTOUT	EVENTOUT	O	Cortex-M4 CPU 事件输出
EIRQ	EIRQx (x=0~15)	I	可屏蔽外部中断
	WKUPx_y (x=0~3, y=0~3)	I	Power Down 模式外部唤醒输入
Event Port	EVNTPxy (x=1~4, y=0~15)	IO	事件端口输入输出功能
Key	KEYOUTx (x=0~7)	O	KEYSCAN 扫描输出信号
JTAG/ SWD	JTCK_SWCLK	I	在线调试接口
	JTMS_SWDIO	IO	
	JTDO_TRACESWO	O	
	JTDI	I	
	NJTRST	I	
TRACE	TRACECLK	O	跟踪调试同步时钟输出
	TRACEDx (x=0~3)	O	跟踪调试数据输出
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入
RTC	RTC_OUT	O	1Hz 时钟输出
Timer4 (<t>=1~3)	TIM4_<t>_CLK	I	计数时钟端口输入
	TIM4_<t>_OUH	IO	PWM 端口 U 相输出
	TIM4_<t>_OUL	IO	PWM 端口 U 相输出
	TIM4_<t>_OVH	IO	PWM 端口 V 相输出
	TIM4_<t>_OVL	IO	PWM 端口 V 相输出
	TIM4_<t>_OWH	IO	PWM 端口 W 相输出
	TIM4_<t>_OWL	IO	PWM 端口 W 相输出

类别	功能名	I/O	说明
Timer4 ($t=1\sim3$)	TIM4_<t>_OXH	IO	PWM 端口 X 相输出
	TIM4_<t>_OXL	IO	PWM 端口 X 相输出
	TIM4_<t>_ADSM	O	专用事件输出监测
	TIM4_<t>_PCT	O	PWM 周期输出监测
Timer6 ($t=1\sim2$)	TIM6_TRIGA	I	外部事件触发 A 输入
	TIM6_TRIGB	I	外部事件触发 B 输入
	TIM6_<t>_PWMA	IO	外部事件触发输入或 PWM 端口输出
	TIM6_<t>_PWMB	IO	外部事件触发输入或 PWM 端口输出
TimerA ($t=1\sim5$)	TIMA_<t>_TRIG	I	外部事件触发输入
	TIMA_<t>_PWM1/CLKA	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TIMA_<t>_PWM2/CLKB	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TIMA_<t>_PWM _y ($y=3\sim8$)	IO	外部事件触发输入或 PWM 端口输出
EMB	EMB_IN _x ($x=1\sim4$)	I	端口输入控制信号
USART _x ($x=1\sim6$)	USART _x _TX	IO	发送数据
	USART _x _RX	IO	接收数据
	USART _x _CK	IO	通信时钟
	USART _x _RTS	O	请求发送信号
	USART _x _CTS	I	清除发送信号
SPI _x ($x=1\sim3$)	SPI _x _MISO	IO	主输入/从输出数据传输引脚
	SPI _x _MOSI	IO	主输出/从输入数据传输引脚
	SPI _x _SCK	IO	传输时钟
	SPI _x _NSS0	IO	从机选择输入输出引脚
	SPI _x _NSS _y ($y=1\sim3$)	O	从机选择输出引脚
QSPI	QSPI_IO _x ($x=0\sim3$)	IO	数据线
	QSPI_SCK	O	时钟输出
	QSPI_NSS	O	从机选择
I2C _x ($x=1\sim2$)	I2C _x _SCL	IO	时钟线
	I2C _x _SDA	IO	数据线
MCAN _x ($x=1\sim2$)	MCAN _x _TX	O	发送数据
	MCAN _x _RX	I	接收数据
CMP	VCOUT1	O	CMP1 结果输出
	VCOUT2	O	CMP2 结果输出
	VCOUT3	O	CMP3 结果输出
	VCOUT4	O	CMP4 结果输出
	VCOUT	O	CMP1~4 结果逻辑或输出
	CMP _x _IN _{P_y} ($x=1\sim4, y=1\sim4$)	I	CMP _x 正端模拟输入
	CMP _x _IN _{M2} ($x=1\sim4$)	I	CMP _x 负端模拟输入
	CMP1234_INM1	I	CMP1~4 负端模拟输入

类别	功能名	I/O	说明
ADC	ADTRG1	I	ADC1 AD 转换外部启动源
	ADTRG2	I	ADC2 AD 转换外部启动源
ADC	ADTRG3	I	ADC3 AD 转换外部启动源
	ADC123_INx (x=6~9)	I	ADC1/2/3 共用外部模拟输入端口
	ADC12_INx (x=4~5, 10~11)	I	ADC1/2 共用外部模拟输入端口
	ADC1_INx (x=0~3, 12~15)	I	ADC1 外部模拟输入端口
	ADC3_INx (x=0~5, 10, 11)	I	ADC3 外部模拟输入端口
DAC	DAC_OUTy (y=1, 2)	O	DAC 模拟输出
EXMC	EXMC_CLK	IO	具体查阅参考手册 EXMC 章表 30-4
	EXMC_OE	O	
	EXMC_WE	O	
	EXMC_ALE	O	
	EXMC_BAA	O	
	EXMC_ADV	O	
	EXMC_CEx (x=0, 4~5)	O	
	EXMC_RB0	I	
	EXMC_ADDx (x=16~20)	IO	
	EXMC_DATAx (x=0~15)	IO	
PLU	PLUx_INy (x=0~3, y=A~D)	I	逻辑运算单元 PLU 的输入
	PLUx_OUT (x=0~3)	O	逻辑运算单元 PLU 的输出

2.4 引脚使用说明

表 2-6 引脚使用说明

引脚名	使用说明
VCC	电源，接 1.8V~3.6V 电压，并就近与 VSS 引脚接去耦电容（参考【电气特性（ECs）】）
VSS	电源地，接 0V
VCAP_1	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考【电气特性（ECs）】）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电压（参考【电气特性（ECs）】） 不使用模拟模块时，请与 VCC 短接
AVSS	模拟电源地，给模拟模块供电，接与 VSS 相同电压（参考【电气特性（ECs）】） 不使用模拟模块时，请与 VSS 短接
PB11/ MD	模式输入。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为低电平。 推荐接电阻（4.7KΩ）到 VSS（下拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy (x=A~E, H, y=0~15)	通用引脚。用作输入功能时,支持 5V 耐压的引脚输入电压不要超过 5V 且禁止内部上拉/下拉，不支持 5V 耐压的引脚输入电压不要超过 VCC。用作模拟输入时，模拟电压不要超过 VREFH/ AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

3 电气特性 (ECs)

3.1 参数条件

若无另行说明，所有电压都以 VSS 为基准。

3.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值在最坏的环境温度、供电电压和时钟频率条件下由设计保证或者特性测试保证。

3.1.2 典型值

除非特别说明，典型数据都是在 $T_A=25^{\circ}\text{C}$ 、 $V_{CC}=3.3\text{V}$ 条件下通过设计或者特性测试分析得到。

3.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

3.1.4 负载电容

图 3-1（左）中显示了用于测量引脚参数的负载条件。

3.1.5 引脚输入电压

图 3-1（右）中显示了器件引脚上输入电压的测量方法。

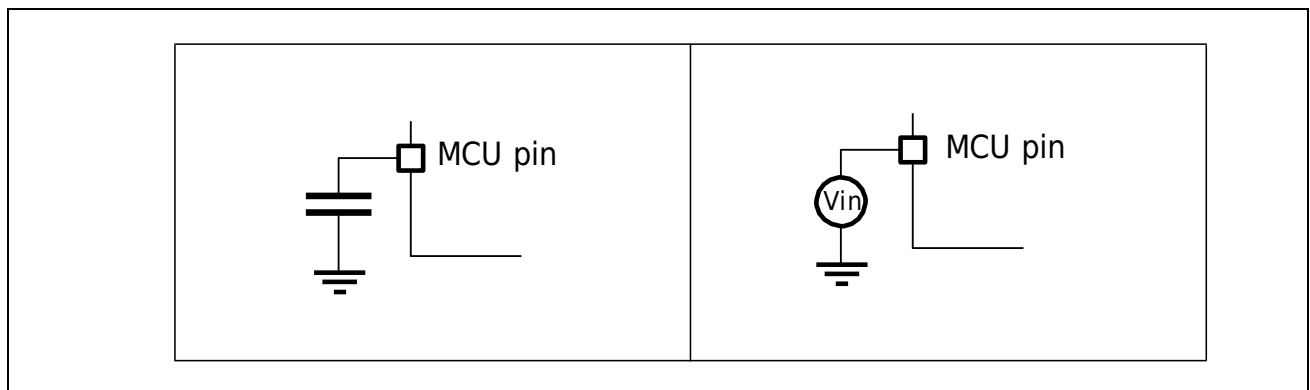


图 3-1 引脚负载条件(左)与输入电压测量 (右)

3.1.6 电源方案

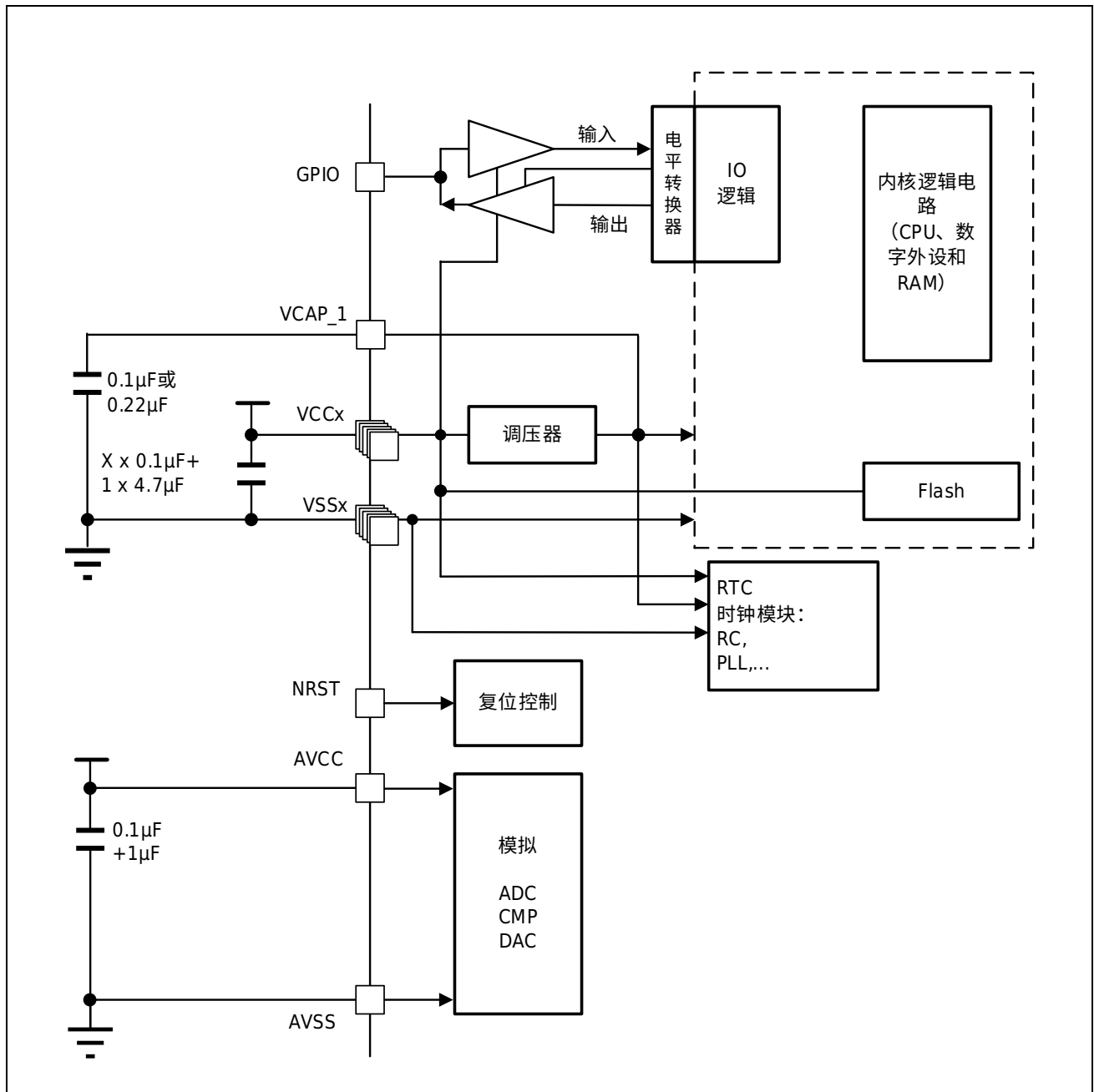


图 3-2 电源方案

1. 4.7µF 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。
3. 每个电源对（例如 VCC/VSS，AVCC/AVSS...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或在 PCB 下侧的电源对引脚下方，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本，这可能导致器件工作不正常。

3.1.7 电流消耗测量

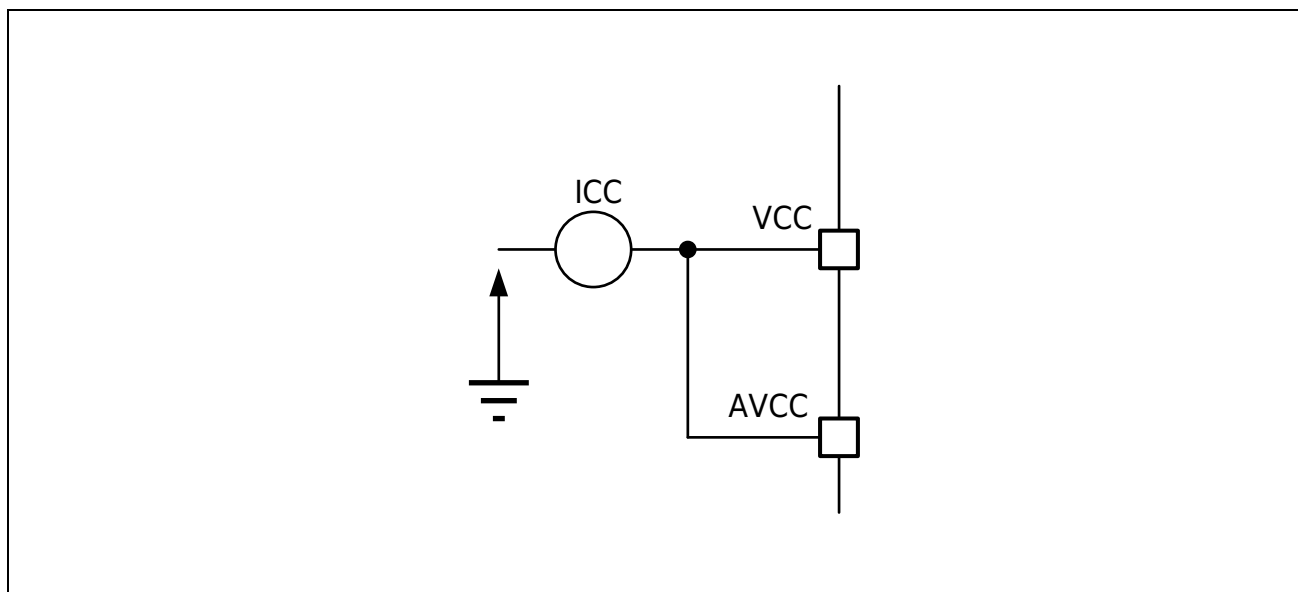


图 3-3 电流消耗测量方案

3.2 绝对最大额定值

如果加在器件上的载荷超过表 3-1、表 3-2 和表 3-3 中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

表 3-1 电压特性

符号	项目	最小值	最大值	单位
V_{CC-VSS}	外部主电源电压（包括AVCC、VCC） ⁽¹⁾	-0.3	4.0	V
V_{IN}	引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+4.0$ (最大5.8V)	
$V_{ESD}(HBM)$	静电放电电压（人体模型）	请参考【电气敏感性】		-

1. 在允许的范围内，所有主电源（VCC、AVCC）和接地（VSS、AVSS）引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 3-2。

表 3-2 电流特性

符号	项目	最大值	单位
ΣI_{VCC}	流入所有VCCX电源线的总电流（拉电流） ⁽¹⁾	240	mA
ΣI_{VSS}	流出所有VSSX接地线的总电流（灌电流） ⁽¹⁾	-240	
I_{VCC}	流入每个VCCX电源线的最大电流（拉电流） ⁽¹⁾	100	
I_{VSS}	流出每个VSSX接地线的最大电流（灌电流） ⁽¹⁾	-100	
I_{IO}	任意I/O和控制引脚的输出灌电流	20	
	任意I/O和控制引脚的输出拉电流	-20	
ΣI_{IO}	所有I/O和控制引脚上的总输出灌电流 ⁽²⁾	120	
	所有I/O和控制引脚上的总输出拉电流 ⁽²⁾	-120	

1. 在允许的范围内，所有主电源（VCC、AVCC）和接地（VSS、AVSS）引脚必须始终连接到外部电源。
2. 此总输出电流必须正确分布在所有电源域内；此总输出电流适用于 64 PINs 及以上封装，对于 48 PINs 封装，总输出电流最大值为±80mA，对于 32 PINs 封装，总输出电流最大值为±40mA。

表 3-3 热特性

符号	项目	数值	单位
T_{STG}	储存温度范围	-65~150	°C
T_J	最大结温范围	-40~125	°C

3.3 工作条件

3.3.1 通用工作条件

表 3-4 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部AHB时钟频率	高速模式 ⁽¹⁾ PWRC2.DVS=0x11 PWRC3.DDAS=0xF	-	-	200	MHz
		超低速模式 PWRC2.DVS=0x10 PWRC3.DDAS=0x0	-	-	8	
V _{CC}	标准工作电压	-	1.8	-	3.6	V
V _{AVCC}	模拟工作电压	-	1.8	-	3.6	V
V _{IN}	5V耐压引脚上的输入电压 ⁽²⁾	2V≤V _{CC} ≤3.6V 2V≤V _{AVCC} ≤3.6V	-0.3	-	5.5	
		V _{CC} <2V V _{AVCC} <2V	-0.3	-	5.2	

1. 量产测试保证。
2. 要使电压保持在高于 V_{CC}+0.3V，必须禁止内部上拉/下拉电阻。

3.3.2 上电/掉电时的工作条件

TA 服从一般工作条件。

表 3-5 上电/掉电时的工作条件

符号	参数	最小值	最大值	单位
tvcc	VCC上升时间速率	20	20000	μs/V
	VCC下降时间速率	20	20000	

3.3.3 复位和电源控制模块特性

表 3-6 复位和电源控制模块特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{BOR}	BOR的监测电压	高速模式 超低速模式	ICG1.BOR_LEV[1:0]=00 ⁽¹⁾	1.70	1.90	2.10	V
			ICG1.BOR_LEV[1:0]=01	1.80	2.00	2.20	V
			ICG1.BOR_LEV[1:0]=10	1.90	2.10	2.30	V
			ICG1.BOR_LEV[1:0]=11 ⁽¹⁾	2.10	2.30	2.50	V
V _{PVD1}	PVD1监测电压 ⁽³⁾	高速模式 超低速模式	PVD1LVL[2:0]=000 ⁽¹⁾	1.80	2.00	2.20	V
			PVD1LVL[2:0]=001	1.90	2.10	2.30	V
			PVD1LVL[2:0]=010	2.10	2.30	2.50	V
			PVD1LVL[2:0]=011	2.33	2.55	2.77	V
			PVD1LVL[2:0]=100	2.43	2.65	2.87	V
			PVD1LVL[2:0]=101	2.53	2.75	2.97	V
			PVD1LVL[2:0]=110	2.63	2.85	3.07	V
			PVD1LVL[2:0]=111 ⁽¹⁾	2.73	2.95	3.17	V
V _{PVD2}	PVD2监测电压 ⁽³⁾	高速模式 超低速模式	PVD2LVL[2:0]=000 ⁽¹⁾	1.90	2.10	2.30	V
			PVD2LVL[2:0]=001	2.10	2.30	2.50	V
			PVD2LVL[2:0]=010	2.33	2.55	2.77	V
			PVD2LVL[2:0]=011	2.43	2.65	2.87	V
			PVD2LVL[2:0]=100	2.53	2.75	2.97	V
			PVD2LVL[2:0]=101	2.63	2.85	3.07	V
			PVD2LVL[2:0]=110 ⁽¹⁾	2.73	2.95	3.17	V
			PVD2LVL[2:0]=111 ⁽²⁾	0.90	1.10	1.30	V
V _{pvdhyst}	PVD1/2的迟滞 ⁽⁴⁾	-	-	100	-	mV	
V _{POR} ⁽¹⁾	上电/掉电复位阈值	上升沿VPOR		1.56	1.68	1.80	V
		下降沿VPOR		1.52	1.64	1.76	V
V _{PORhyst}	POR迟滞	-		-	40	-	mV
I _{RUSH}	调压器上电时的浪涌 电流（POR或从待机 唤醒）	-		-	100	150	mA
T _{NRST}	NRST复位最低宽度	-		10	-	-	μs
T _{IPVD1}	PVD1复位解除时间	-		300	380	460	μs
T _{IPVD2}	PVD2复位解除时间	-		300	380	460	μs
T _{INRST}	NRST复位解除时间	-		25	35	50	μs
T _{RIPT}	内部复位时间	-		140	160	200	μs
T _{RSTBOR}	BOR复位解除时间	-		440	520	610	μs
T _{RSTPOR}	上电复位解除时间	-		-	2500	3000	μs

1. 量产测试保证。

2. PVD2LVDL[2:0]=111 时, 比较电压是 PVD2EXINP 管脚的外部输入比较电压。
3. PVD1 监测电压是 VCC 电压下降时的监测电压; PVD2LVL[2:0]设置为 111 时 PVD2 监测电压是 PVDEXINP 电压下降时的监测电压, 在 PVD2LVD[2:0]设置为 111 之外的值时 PVD2 监测电压是 VCC 电压下降时的监测电压。
4. PVD1/2 的迟滞是 VCC 上升时的监测电压与 VCC 下降时的监测电压的差值。
VCC 上升时的 PVD1 监测电压= $V_{pvd1}+V_{pvdhyst}$ 。
VCC 上升时的 PVD2 监测电压= $V_{pvd2}+V_{pvdhyst}$ 。

3.3.4 供电电流特性

电流消耗受多个参数和因素影响, 其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

图 3-3 中介绍了电流消耗的测量方法。本节所述各种模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下:

- 1) 所有 I/O 引脚都处于高阻模式 (无负载)。
- 2) 时钟频率选择高速模式 $f_{HCLK}=200\text{MHz}/100\text{MHz}/24\text{MHz}$ 和超低速模式 $f_{HCLK}=8\text{MHz}/1\text{MHz}$ 。
- 3) 功耗模式分为: 正常工作模式 ICC_RUN, 休眠模式 ICC_SLEEP, 停止模式 ICC_STP, 掉电模式 ICC_PD, Dhrystone 工作模式 ICC_DHRYSTONE。
- 4) 外设时钟 ON/OFF 请参考具体电流条件说明。
- 5) 高速模式 $f_{HCLK}=200\text{MHz}/100\text{MHz}$ 下 PLL 处于开启状态。

表 3-7 高速模式电流消耗 1

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	
高速模式	f _{HCLK} =200MHz	ICC_RUN	while(1),全模块时钟OFF ⁽³⁾	-40	-	23	-	mA
			while(1),全模块时钟ON ⁽³⁾	-40	-	37	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	24	-	mA
			CACHE ON	-40	-	24	-	mA
		ICC_SLEEP	全模块时钟OFF ⁽³⁾	-40	-	14	-	mA
			全模块时钟ON ⁽³⁾	-40	-	28	-	mA
		ICC_RUN	while(1),全模块时钟OFF ⁽³⁾	25	-	23	-	mA
			while(1),全模块时钟ON ⁽³⁾	25	-	37	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	24	-	mA
			CACHE ON	25	-	24	-	mA
		ICC_SLEEP	全模块时钟OFF ⁽³⁾	25	-	14	-	mA
			全模块时钟ON ⁽³⁾	25	-	28	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	29	mA
			while(1),全模块时钟ON	85	-	-	43	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	30	mA
			CACHE ON	85	-	-	30	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	20	mA
			全模块时钟ON	85	-	-	34	mA
		ICC_RUN	while(1),全模块时钟OFF ⁽³⁾	105	-	-	33	mA
			while(1),全模块时钟ON ⁽³⁾	105	-	-	48	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	34	mA
			CACHE ON	105	-	-	34	mA
		ICC_SLEEP	全模块时钟OFF ⁽³⁾	105	-	-	24	mA
			全模块时钟ON ⁽³⁾	105	-	-	39	mA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。
3. 量产保证。

表 3-8 高速模式电流消耗 2

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值(1)	最大值(2)	
高速模式	f _{HCLK} =100MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	12	-	mA
			while(1),全模块时钟ON	-40	-	20	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	13	-	mA
			CACHE ON	-40	-	13	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	8	-	mA
			全模块时钟ON	-40	-	15	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	13	-	mA
			while(1),全模块时钟ON	25	-	20	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	14	-	mA
			CACHE ON	25	-	14	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	8	-	mA
			全模块时钟ON	25	-	16	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	19	mA
			while(1),全模块时钟ON	85	-	-	27	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	20	mA
			CACHE ON	85	-	-	20	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	14	mA
			全模块时钟ON	85	-	-	22	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	23	mA
			while(1),全模块时钟ON	105	-	-	31	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	24	mA
			CACHE ON	105	-	-	24	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	18	mA
			全模块时钟ON	105	-	-	27	mA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。

表 3-9 高速模式电流消耗 3

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	
高速模式	f _{HCLK} =24MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	4	-	mA
			while(1),全模块时钟ON	-40	-	8	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	5	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	3	-	mA
			全模块时钟ON	-40	-	6	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	4	-	mA
			while(1),全模块时钟ON	25	-	8	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	5	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	3	-	mA
			全模块时钟ON	25	-	7	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	10	mA
			while(1),全模块时钟ON	85	-	-	14	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	12	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	9	mA
			全模块时钟ON	85	-	-	13	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	15	mA
			while(1),全模块时钟ON	105	-	-	19	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	17	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	14	mA
			全模块时钟ON	105	-	-	18	mA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。

表 3-10 超低速模式电流消耗 1

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	
超低速模式	f _{HCLK} =8MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	2	-	mA
			while(1),全模块时钟ON	-40	-	4	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	2.2	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	1	-	mA
			全模块时钟ON	-40	-	3	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	2	-	mA
			while(1),全模块时钟ON	25	-	4	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	2.3	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	1	-	mA
			全模块时钟ON	25	-	3	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	5	mA
			while(1),全模块时钟ON	85	-	-	7	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	5.5	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	4.6	mA
			全模块时钟ON	85	-	-	6.7	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	8	mA
			while(1),全模块时钟ON	105	-	-	10	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	9	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	7.5	mA
			全模块时钟ON	105	-	-	9.5	mA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。

表 3-11 超低速模式电流消耗 2

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	
超低速模式	f _{HCLK} =1MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	1	-	mA
			while(1),全模块时钟ON	-40	-	2.5	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	1	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	0.5	-	mA
			全模块时钟ON	-40	-	2	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	1	-	mA
			while(1),全模块时钟ON	25	-	2.5	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	1	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	0.7	-	mA
			全模块时钟ON	25	-	2.2	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	4.5	mA
			while(1),全模块时钟ON	85	-	-	6	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	4.7	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	4.3	mA
			全模块时钟ON	85	-	-	5.9	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	7.5	mA
			while(1),全模块时钟ON	105	-	-	9	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	8	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	7	mA
			全模块时钟ON	105	-	-	8.8	mA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。

表 3-12 低功耗模式电流消耗

模式	参数	符号	条件	Ta(°C)	产品规格			单位
					最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	
停止模式	-	ICC_STP	PWC_PWRC1.STPDAS=00 ⁽³⁾	-40	-	188	-	μA
			PWC_PWRC1.STPDAS=11 ⁽³⁾	-40	-	45	-	μA
			PWC_PWRC1.STPDAS=00 ⁽³⁾	25	-	455	-	μA
			PWC_PWRC1.STPDAS=11 ⁽³⁾	25	-	304	-	μA
			PWC_PWRC1.STPDAS=00	85	-	-	3.9	mA
			PWC_PWRC1.STPDAS=11	85	-	-	3.6	mA
			PWC_PWRC1.STPDAS=00 ⁽³⁾	105	-	-	6.5	mA
			PWC_PWRC1.STPDAS=11 ⁽³⁾	105	-	-	6.2	mA
掉电模式	-	ICC_PD	掉电模式1 ⁽³⁾	-40	-	10	-	μA
			掉电模式2 ⁽³⁾	-40	-	4	-	μA
			掉电模式3 ⁽³⁾	-40	-	1.7	-	μA
			掉电模式4 ⁽³⁾	-40	-	1.7	-	μA
			掉电模式2+ XTAL32+ RTC	-40	-	6	-	μA
			掉电模式2+ LRC+ RTC ⁽³⁾	-40	-	9	-	μA
			掉电模式1 ⁽³⁾	25	-	11	-	μA
			掉电模式2 ⁽³⁾	25	-	4.5	-	μA
			掉电模式3 ⁽³⁾	25	-	2.1	-	μA
			掉电模式4 ⁽³⁾	25	-	2.1	-	μA
			掉电模式2+ XTAL32+ RTC ⁽³⁾	25	-	7	-	μA
			掉电模式2+ LRC+ RTC ⁽³⁾	25	-	9	-	μA
			掉电模式1	85	-	-	20	μA
			掉电模式2	85	-	-	18	μA
			掉电模式3	85	-	-	11	μA
			掉电模式4	85	-	-	11	μA
			掉电模式2+ XTAL32+ RTC	85	-	-	20	μA
			掉电模式2+ LRC+ RTC	85	-	-	20	μA
			掉电模式1 ⁽³⁾	105	-	-	31	μA
			掉电模式2 ⁽³⁾	105	-	-	29	μA
			掉电模式3 ⁽³⁾	105	-	-	21	μA
			掉电模式4 ⁽³⁾	105	-	-	21	μA
			掉电模式2+ XTAL32+ RTC	105	-	-	31	μA
			掉电模式2+ LRC+ RTC ⁽³⁾	105	-	-	31	μA

1. 典型值电压条件 VCC=3.3V。
2. 最大值电压条件 VCC=1.8~3.6V。
3. 量产测试保证。

表 3-13 模拟模块电流消耗

Item	参数	符号	条件(VCC=AVCC=3.3V)	Ta(°C)	产品规格			单位
					最小值	典型值	最大值	
模块 电流	-	ICC_MODULE	XTAL振荡模式大驱动24MHz	25	-	1.8	-	mA
			振荡模式中驱动16MHz	25	-	1.0	-	mA
			振荡模式小驱动10MHz	25	-	0.8	-	mA
			振荡模式超小驱动8MHz	25	-	0.6	-	mA
			XTAL 32.768kHz	25	-	1.1	-	μA
			HRC	25	-	0.3	-	mA
			PLLH (VCO=1200MHz)	25	-	3.5	-	mA
			PLLH (VCO=600MHz)	25	-	1.8	-	mA
			ADC	25	-	1.3	-	mA
			DAC	放大器允许	25	-	0.8	mA
				放大器禁止	25	-	0.2	mA
			CMP	25	-	0.3	-	mA

3.3.5 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- WKUP 引脚用于从待机、停止、睡眠模式唤醒。所有时序均在环境温度及 VCC=3.3V 测试得出。

表 3-14 低功耗模式唤醒时间

符号	参数	条件	典型值	最大值	单位
T _{STOP}	从停止模式唤醒	系统时钟为MRC	8	15	μs
T _{PD1} ⁽¹⁾	从掉电模式1唤醒	VCAP_1总电容为0.094μF或者0.1μF	25	35	
		VCAP_1总电容为0.2μF或者0.22μF	30	40	
T _{PD2} ⁽¹⁾	从掉电模式2唤醒	VCAP_1总电容为0.094μF或者0.1μF	70	80	
		VCAP_1总电容为0.2μF或者0.22μF	75	85	
T _{PD3} ⁽¹⁾	从掉电模式3唤醒	VCAP_1总电容为0.094μF或者0.1μF	2500	3000	
		VCAP_1总电容为0.2μF或者0.22μF	2500	3000	
T _{PD4} ⁽¹⁾	从掉电模式4唤醒	VCAP_1总电容为0.094μF或者0.1μF	130	140	
		VCAP_1总电容为0.2μF或者0.22μF	140	150	

1. 芯片的 VCAP_1 总容量必须与 PWC_PWRC1.PDTS 位的赋值相匹配。VCAP_1 的总容量为 0.2μF 或者 0.22μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位清零。VCAP_1 的总容量为 0.094μF 或者 0.1μF 时，需要在进入掉电模式之前确保 PWC_PWRC1.PDTS 位置位。

3.3.6 外部时钟源特性

3.3.6.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑 I/O 静态特性。

表 3-15 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_EXT}	用户外部时钟源频率	-	1	-	25	MHz
V_{IH_XTAL}	XTAL_EXT输入引脚高电平电压		$0.8 \times V_{CC}$	-	V_{CC}	V
V_{IL_XTAL}	XTAL_EXT输入引脚低电平电压		V_{SS}	-	$0.2 \times V_{CC}$	
$t_{r(XTAL)}$ $t_{f(XTAL)}$	XTAL_EXT上升或下降时间		-	-	5	ns
Duty(XTAL)	占空比	-	40	-	60	%

3.3.6.2 晶振/陶瓷谐振器产生的高速外部时钟

高速外部（XTAL）时钟可以使用一个 4 到 25MHz 的晶振/陶瓷谐振振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 3-16 XTAL 4-25MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{XTAL_IN}}$	振荡器频率	-	4	-	25	MHz
$R_F^{(1)}$	反馈电阻	-	-	300	-	k Ω
$A_{\text{XTAL}}^{(2)}$	XTAL精度	-	-500	-	500	ppm
G_{mmax}	-	起振	4	-	-	mA/V
$t_{\text{SU(XTAL)}}^{(3)}$	启动时间	VCC稳定, 晶振=8MHz	-	-	2.0	ms
		VCC稳定, 晶振=4MHz	-	-	4.0	ms

1. 量产测试保证。
2. 这个参数取决于应用系统上使用到的谐振器。
3. $t_{\text{SU(XTAL)}}$ 是起振时间，即从软件使能 XTAL 开始测量，直至得到稳定的振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5pF 到 25pF（典型值）之间的高质量外部陶瓷电容（请参见下图）。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10pF）。

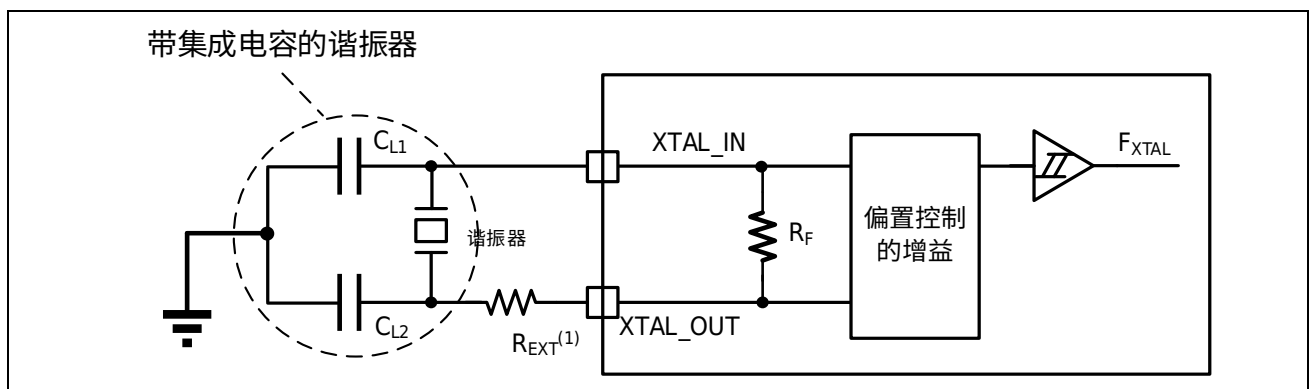


图 3-4 采用8MHz 晶振的典型应用

1. R_{EXT} 的值取决于晶振特性。

3.3.6.3 晶振/陶瓷谐振器产生的低速外部时钟

低速外部时钟可以使用一个由 32.768kHz 的晶振/陶瓷谐振器构成的振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 3-17 XTAL32 振荡器特性

符号	参数	条件	规格			单位
			最小值	典型值	最大值	
F _{XTAL32}	频率	-	-	32.768	-	kHz
R _F ⁽¹⁾	反馈电阻	-	-	15	-	MΩ
I _{DD_XTAL32}	功耗	XTAL32DRV[2:0]=000	-	0.8	-	μA
A _{XTAL32} ⁽²⁾	XTAL32精度	-	-500	-	500	ppm
G _{mmax}	G _m	-	-	-	5.6	μA/V
T _{SUXTAL32}	启动时间 ⁽³⁾	VCC稳定状态下	-	2	-	s

1. 量产测试保证。
2. 这个参数取决于应用系统上使用到的谐振器。
3. T_{SUXTAL32} 是起振时间，即从软件使能 XTAL32 开始测量，直至得到稳定的 32.768 kHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2}，建议使用大小介于 5pF 到 18pF（典型值）之间的高质量外部陶瓷电容（请参见下图）。C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚电容可粗略地估算为 5pF）。如果 C_{L1} 和 C_{L2} 大于 18pF，建议设置 XTAL32DRV[2:0]=001（大驱动，功耗典型值增加 0.2μA）。

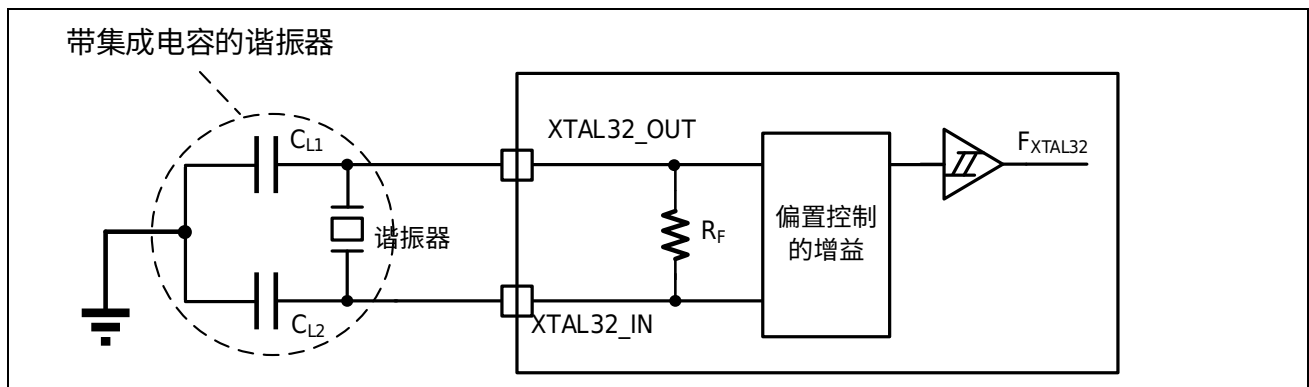


图 3-5 采用 32.768kHz 晶振的典型应用

3.3.7 内部时钟源特性

3.3.7.1 内部高速（HRC）振荡器

表 3-18 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HRC}	频率 ⁽¹⁾	模式1	-	16	-	MHz
		模式2	-	20	-	
	用户调整刻度	-	-	-	0.2	%
	频率精度 ⁽¹⁾	TA=-40到105℃	-2	-	2	%
		TA=-20到105℃	-1.5	-	1.5	%
$t_{st(HRC)}^{(1)}$	HRC 振荡器振荡稳定时间	-	-	-	15	μs

1. 量产测试保证。

3.3.7.2 内部中速（MRC）振荡器

表 3-19 MRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{MRC}^{(1)}$	频率	7.2 ⁽¹⁾	8	8.8 ⁽¹⁾	MHz
$t_{st(MRC)}^{(1)}$	MRC振荡器稳定时间	-	-	3	μs

1. 量产测试保证。

3.3.7.3 内部低速（LRC）振荡器

表 3-20 LRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{LRC}^{(1)}$	频率	27.853 ⁽¹⁾	32.768	37.683 ⁽¹⁾	kHz
$t_{st(LRC)}^{(1)}$	LRC振荡器稳定时间	-	-	36	μs

1. 量产测试保证。

3.3.7.4 SWDT 专用内部低速（SWDTLRC）振荡器

表 3-21 SWDTLRC 振荡器特性

符号	参数	最小值	典型值	最大值	单位
$f_{SWDTLRC}^{(1)}$	频率	9 ⁽¹⁾	10	11 ⁽¹⁾	kHz
$t_{st(SWDTLRC)}^{(1)}$	SWDTLRC振荡器稳定时间	-	-	57.1	μs

1. 量产测试保证。

3.3.8 PLL 特性

表 3-22 PLLH 主要性能指标

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}$	PLL鉴相鉴频器 (PFD) 的输入时钟 ⁽¹⁾	-	4	-	25	MHz
$f_{\text{PLL_OUT}}$	PLL倍增器的输出时钟	-	37.5	-	600	MHz
$f_{\text{VCO_OUT}}$	PLL压控振荡器 (VCO) 的输出	-	600	-	1200	MHz
Jitter _{PLL}	周期抖动	PLL PFD输入时钟为8MHz， 系统时钟为120MHz，峰峰值	-	±70	-	ps
	相邻周期间抖动	PLL PFD输入时钟为8MHz， 系统时钟为120MHz，峰峰值	-	±100	-	
t_{LOCK}	PLL锁定时间	-	-	80	120	μs

1. 推荐使用较高的输入时钟，以获得良好的抖动特性。

3.3.9 存储器（闪存）特性

器件交付给客户时，闪存已被擦除。

表 3-23 闪存特性

符号	参数	条件	最小值	典型值	最大值	单位
I _{vcc}	供电电流	读模式, V _{CC} =1.8V~3.6V	-	-	5	mA
		编程模式, V _{CC} =1.8V~3.6V	-	-	10	
		块擦除模式, V _{CC} =1.8V~3.6V	-	-	10	
		全擦除模式, V _{CC} =1.8V~3.6V	-	-	10	

表 3-24 闪存编程擦除时间

符号	参数	条件	最小值	典型值	最大值	单位
T _{prog} ⁽¹⁾	字编程时间	单编程模式	43+2×T _{hclk} ⁽²⁾	48+4×T _{hclk} ⁽²⁾	53+6×T _{hclk} ⁽²⁾	μs
	字编程时间	连续编程模式	12+2×T _{hclk} ⁽²⁾	14+4×T _{hclk} ⁽²⁾	16+6×T _{hclk} ⁽²⁾	μs
T _{erase} ⁽¹⁾	块擦除时间	-	16+2×T _{hclk} ⁽²⁾	18+4×T _{hclk} ⁽²⁾	20+6×T _{hclk} ⁽²⁾	ms
T _{mas} ⁽¹⁾	全擦除时间	-	16+2×T _{hclk} ⁽²⁾	18+4×T _{hclk} ⁽²⁾	20+6×T _{hclk} ⁽²⁾	ms

1. 量产测试保证。
2. T_{hclk} 为 CPU 时钟的 1 周期。

表 3-25 闪存可擦写次数和数据保存期限

符号	参数	条件	数值	单位
			最小值	
N _{end}	编程, 块擦除次数	T _A =85°C	10	千次
N _{end}	全擦除次数	T _A =85°C	10	千次
T _{ret}	数据保存期限	T _A =85°C, after 10 kcycles	10	年

3.3.10 电气敏感性

使用特定的测量方法对芯片进行不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

3.3.10.1 静电放电（ESD）

根据每种引脚组合，对每个样本的引脚施加静电放电。此项测试符合 JESD22-A114/ C101 标准。

表 3-26 ESD 特性

符号	参数	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A =+25°C，符合JESD22-A114标准	4000	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A =+25°C，符合JESD22-C101标准	1000	

3.3.10.2 静态 Latch-up

为评估静态 Latch-up 性能，需要对芯片执行两项互补的静态 Latch-up 测试：

- 对每个电源和模拟输入引脚施加过压
- 对其他输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 EIA/ JESD 78A IC Latch-up 标准。

表 3-27 静态 Latch-up 特性

符号	参数	条件	最大值	单位
LU	静态Latch-up	T _A =+105°C，符合JESD78A标准	200	mA

3.3.11 I/O 端口特性

常规输入/输出特性

表 3-28 I/O 静态特性

符号	参数		条件	最小值	典型值	最大值	单位
$V_{IL}^{(1)}$	Schmitt输入低电平		$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.3V_{CC}$	V
$V_{IH}^{(1)}$	Schmitt输入高电平		$1.8 \leq V_{CC} \leq 3.6$	$0.7V_{CC}$	-	-	V
V_{HYS}	Schmitt输入迟滞		$1.8 \leq V_{CC} \leq 3.6$	0.1	0.2	-	V
$V_{IL}^{(1)}$	CMOS输入低电平		$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.3V_{CC}$	V
$V_{IH}^{(1)}$	CMOS输入高电平		$1.8 \leq V_{CC} \leq 3.6$	$0.7V_{CC}$	-	-	V
$TTL_V_{IL}^{(1)}$	CMOS/Schmitt兼容TTL输入低电平		$2.7 \leq V_{CC} \leq 3.6$	-	-	0.8	V
$TTL_V_{IH}^{(1)}$	CMOS/Schmitt兼容TTL输入高电平		$2.7 \leq V_{CC} \leq 3.6$	2.2	-	-	V
$F_{max(in)}$	Schmitt输入最高频率		$2.7 \leq V_{CC} \leq 3.6$	-	-	40	MHz
			$1.8 \leq V_{CC} \leq 2.7$	-	-	20	MHz
	CMOS输入最高频率		$2.7 \leq V_{CC} \leq 3.6$	-	-	80	MHz
			$1.8 \leq V_{CC} \leq 2.7$	-	-	40	MHz
$I_{LKG}^{(1)}$	I/O输入泄露电流		$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	1	μA
			$V_{IN} = 5.5V^{(2)}$	-	-	10	μA
$R_{PU}^{(1)(2)}$	弱上拉等效电阻	-	$V_{IN} = V_{SS}$ $1.8 \leq V_{CC} \leq 3.6$	10	30	150	K Ω
$R_{PD}^{(1)(2)}$	弱下拉等效电阻	-	$V_{IN} = V_{CC}$ $1.8 \leq V_{CC} \leq 3.6$	5	20	50	K Ω
C_{IO}	I/O引脚电容	PB11/MD	-	-	10	-	pF
		上述以外其他输入引脚	-	-	5	-	pF

1. 量产测试保证。
2. 要使电压保持在高于 $V_{CC} + 0.3V$ ，必须禁止内部上拉/下拉电阻。

输出电流

GPIO（通用输入/输出）可提供最大 $\pm 20\text{mA}$ 的拉电流或灌电流。

输出电压

表 3-29 输出电压特性

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 1.5\text{mA}$, $1.8 \leq V_{CC} < 2.7$	-	-	0.6	V
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.6$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 3\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	0.6	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.6$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 6\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
中驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 3\text{mA}$, $1.8 \leq V_{CC} < 2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 5\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 12\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
高驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 6\text{mA}$, $1.8 \leq V_{CC} < 2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 8\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 20\text{mA}$, $2.7 \leq V_{CC} \leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO} = \pm 20\text{mA}$, $2.97 \leq V_{CC} \leq 3.6$	-	-	0.88	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.88$	-	-	

1. 量产测试保证。
2. 器件的 I_{IO} 灌电流必须一直考虑表 3-2 中规定的绝对最大额定值。 I_{IO} （I/O 端口和控制引脚）之和一定不能超过 I_{VSS} 。
3. 器件的 I_{IO} 拉电流必须始终遵循表 3-2 所列的绝对最大额定值， I_{IO} （I/O 端口和控制引脚）的总和不得超过 I_{VCC} 。

输入/输出交流特性

表 3-30 I/O 交流特性

驱动设置	符号	参数	条件 ⁽³⁾	最小值	典型值	最大值	单位
低驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	20	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	40	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	20	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	15	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	25	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	7.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	15	
中驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	45	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	22.5	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	90	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	45	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	6	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	6	
高驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	100	MHz
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	50	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	100	
	$t_r(\text{IO})_{\text{out}}$ $t_f(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	ns
			$C_L=30\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	6	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	2.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	3.5	

1. 最大频率在图 3-6 中定义。
2. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内 (MD 引脚 PB11 与电路板的电容可粗略地估算为 15pF; 其他引脚与电路板的电容可粗略地估算为 10pF)。

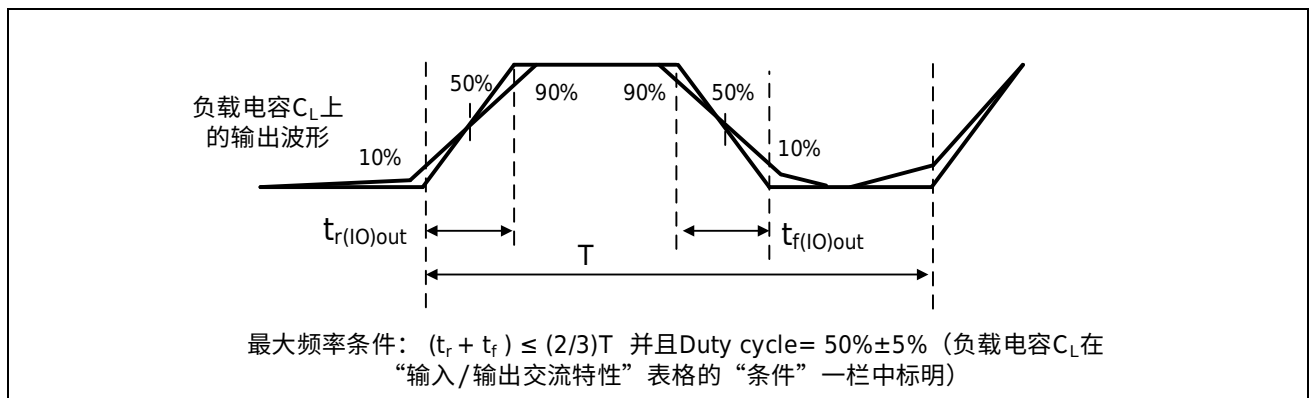


图 3-6 I/O 交流特性定义

3.3.12 I2C 接口特性

表 3-31 I2C 电气特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		最小值	最大值	最小值	最大值	
f_{SCL}	SCL频率	0	100	0	400	kHz
$t_{HD;STA}$	开始条件/重新开始条件Hold	4.0	-	0.6	-	μs
t_{LOW}	SCL低电平	4.7	-	1.3	-	μs
t_{HIGH}	SCL高电平	4	-	0.6	-	μs
$t_{SU;STA}$	重新开始条件Setup	4.7	-	0.6	-	μs
$t_{HD;DAT}$	数据Hold	0	-	0	-	μs
$t_{SU;DAT}$	数据Setup	30+ t_{I2C} 基准时钟周期 ⁽¹⁾	-	30+ t_{I2C} 基准时钟周期 ⁽¹⁾	-	ns
t_R	SCL/SDA的上升时间	-	1000	-	300	ns
t_F	SCL/SDA的下降时间	-	300	-	300	ns
$t_{SU;STO}$	停止条件Setup	4	-	0.6	-	μs
t_{BUF}	停止条件到开始条件间的BUS空闲时间	4.7	-	1.3	-	μs
C_b	负载电容	-	400	-	400	pF

1. t_{I2C} 基准时钟周期即 I2C 基准时钟周期，由 I2C_CCR.FREQ[2:0]位设定。

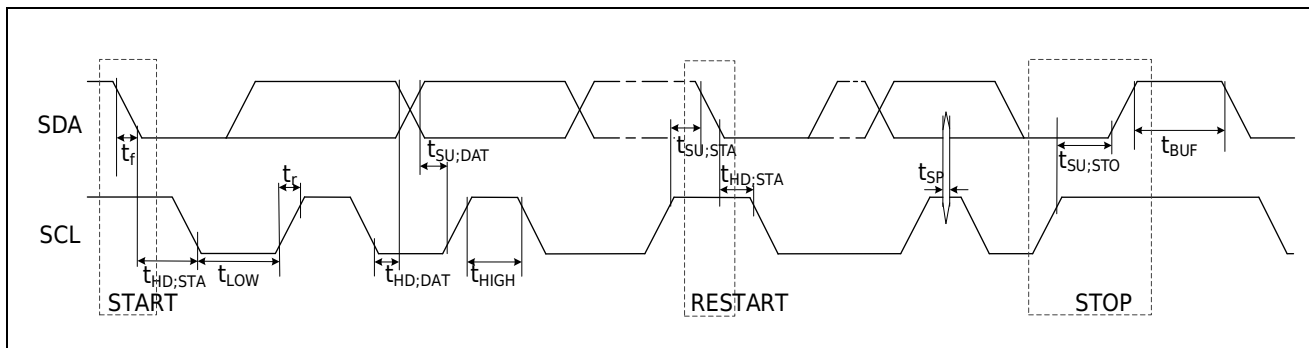


图 3-7 I2C 总线时序定义

3.3.13 SPI 接口特性

表 3-32 SPI 电气特性

符号	参数	条件	最小值	最大值.	单位
$t_w(\text{SCKH})$	SCK低电平时间	主机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$T_{\text{pclk1}} - 1^{(1)}$	$T_{\text{pclk1}} + 1^{(1)}$	ns
		从机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$3 \times T_{\text{pclk1}} - 1^{(1)}$	$3 \times T_{\text{pclk1}} + 1^{(1)}$	ns
$t_w(\text{SCKL})$	SCK高电平时间	主机模式 ⁽⁴⁾ , $1.8\text{V} \leq V_{CC} < 3.6\text{V}$	$T_{\text{pclk1}} - 1^{(1)}$	$T_{\text{pclk1}} + 1^{(1)}$	ns
		从机模式, $1.8\text{V} \leq V_{CC} < 3.6\text{V}$	$3 \times T_{\text{pclk1}} - 1^{(1)}$	$3 \times T_{\text{pclk1}} + 1^{(1)}$	ns
$t_{su}(\text{SI})$	Data输入建立时间	从机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	4	-	ns
$t_h(\text{SI})$	Data输入保持时间	从机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	3	-	ns
$t_v(\text{SO})$	Data输出有效时间	从机模式, $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	-	15	ns
		从机模式, $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	-	26	ns
$t_{su}(\text{MI})$	Data输入建立时间	主机模式, $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	5	-	ns
		主机模式, $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	9	-	ns
$t_h(\text{MI})$	Data输入保持时间	主机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$T_{\text{pclk1}}^{(1)}$	-	ns
$t_{su}(\text{SS})$	SS建立时间	从机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$6 \times T_{\text{pclk1}}^{(1)}$	-	ns
		主机模式, $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	$-5 + N \times T_{\text{sck}}^{(1)(2)}$	-	ns
		主机模式, $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	$-10 + N \times T_{\text{sck}}^{(1)(2)}$	-	ns
$t_h(\text{SS})$	SS保持时间	从机模式, $1.8\text{V} \leq V_{CC} \leq 3.6\text{V}$	$6 \times T_{\text{pclk1}}^{(1)}$	-	ns
		主机模式, $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	$-5 + N \times T_{\text{sck}}^{(1)(3)}$	-	ns
		主机模式, $1.8\text{V} \leq V_{CC} < 2.7\text{V}$	$-10 + N \times T_{\text{sck}}^{(1)(3)}$	-	ns
$t_v(\text{MO})$	Data输出有效时间	主机模式, $2.7\text{V} \leq V_{CC} \leq 3.6\text{V}$	-	4	ns
		主机模式, $1.8\text{V} \leq V_{CC} \leq 2.7\text{V}$	-	9	ns

1. T_{pclk1} 是指时钟 PCLK1 的 1 个周期, T_{sck} 是指 SPI 通信时钟的 1 个周期。
2. $N=1\sim 8$, 由寄存器 SPI_CFG1.MSSI[2:0]决定。
3. $N=1\sim 8$, 由寄存器 SPI_CFG1.MSSDL[2:0]决定。
4. $t_w(\text{SCKH})$ 和 $t_w(\text{SCKL})$ 数值由 SPI_CFG2.MBR 决定, 表格中所列值为 SPI_CFG2.MBR=0 的值。

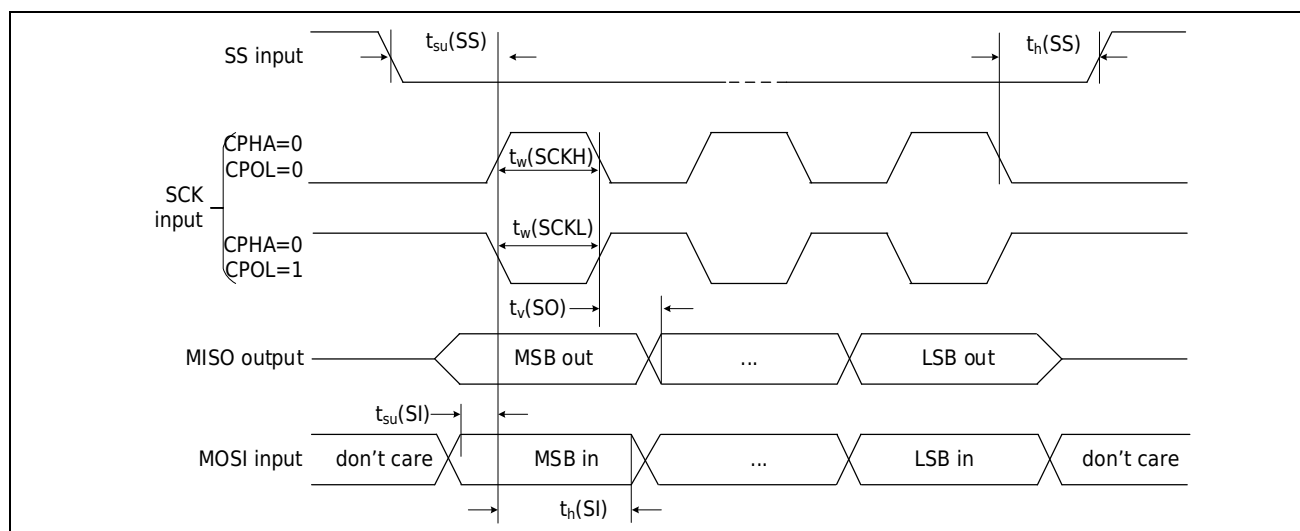


图 3-8 SPI 时序定义 (从机模式, CPHA=0)

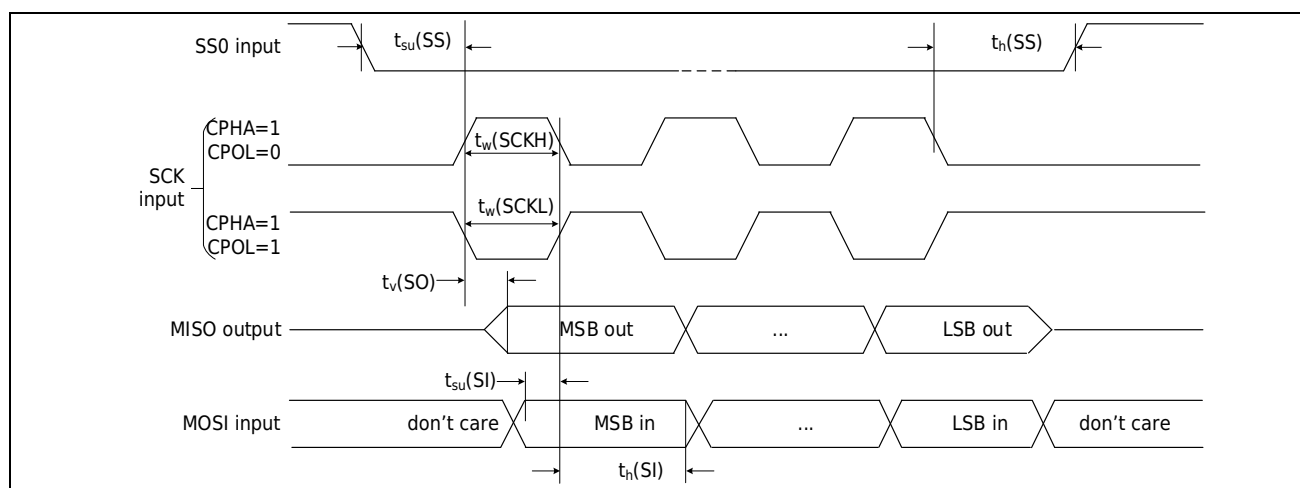


图 3-9 SPI 时序定义 (从机模式, CPHA=1)

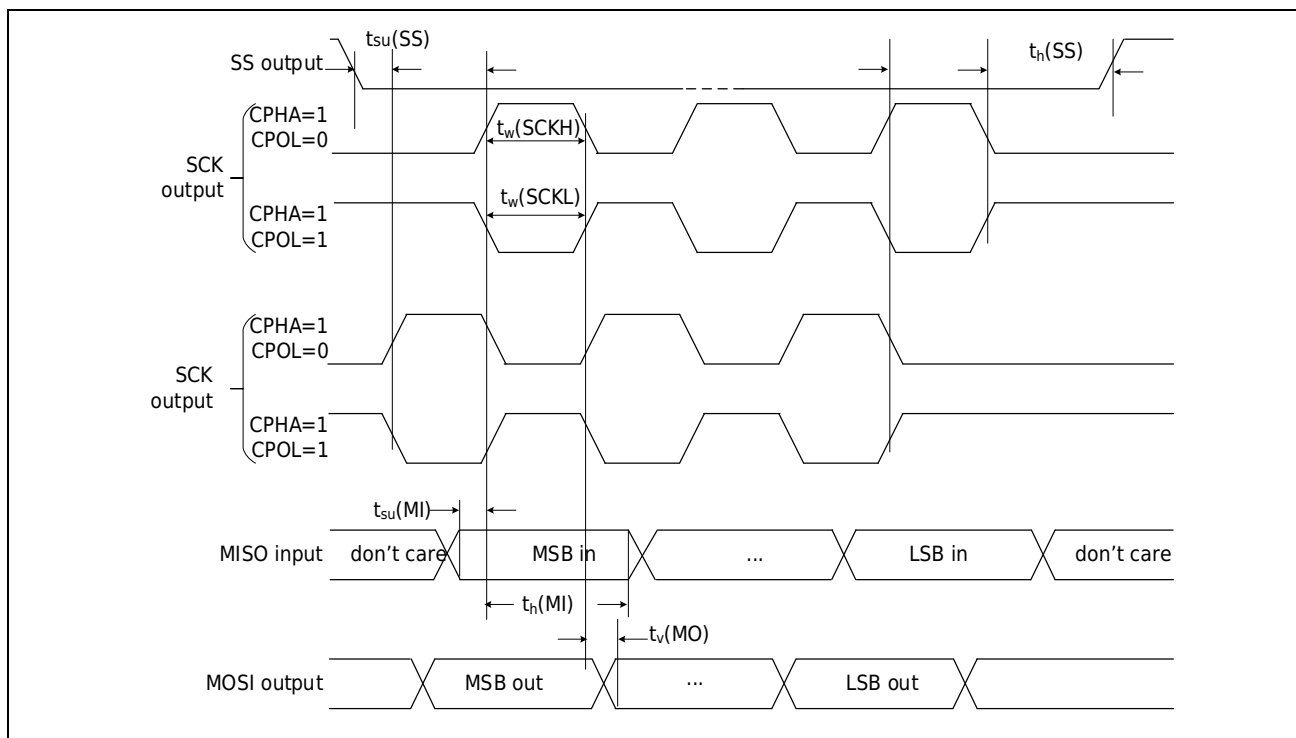


图 3-10 SPI 时序定义（主机模式）

3.3.14 QSPI 接口特性

表 3-33 QSPI 电气特性

符号	参数	最小值	最大值.	单位
t_{Qscyc}	SCK 时钟周期数	2	48	t_{clk}
t_{QSWH}	SCK 高电平	$t_{Qscyc} \times 0.4$	-	ns
t_{QSWL}	SCK 低电平	$t_{Qscyc} \times 0.4$	-	ns
t_{su}	数据输入建立时间 (2.7V~3.6V)	5	-	ns
	数据输入建立时间 (1.8V~2.7V)	5	-	ns
t_{ih}	数据输入保持时间 (2.7V~3.6V)	11	-	ns
	数据输入保持时间 (1.8V~2.7V)	15	-	ns
t_{od}	数据输出延迟	-	4	ns
t_{oh}	数据输出保持时间	0	-	ns

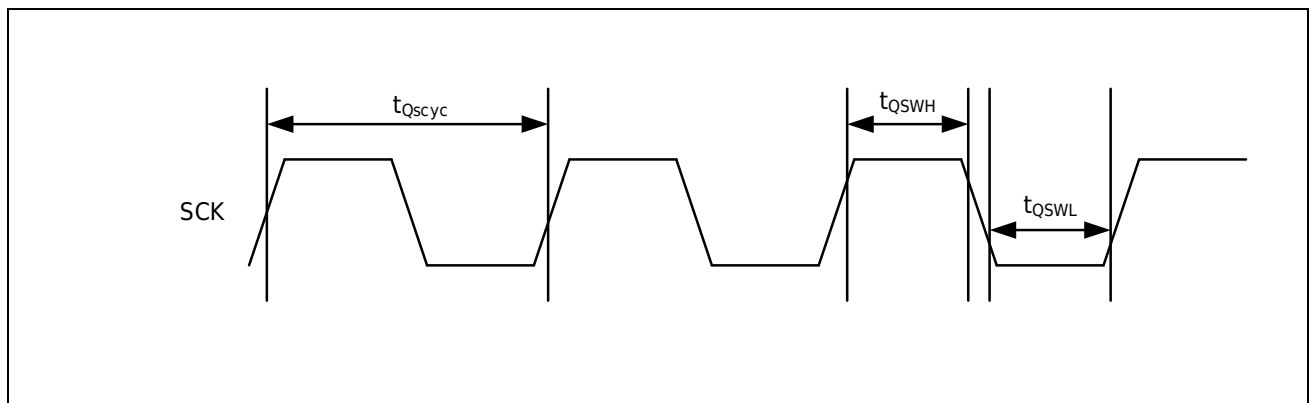


图 3-11 QSPI 时钟时序

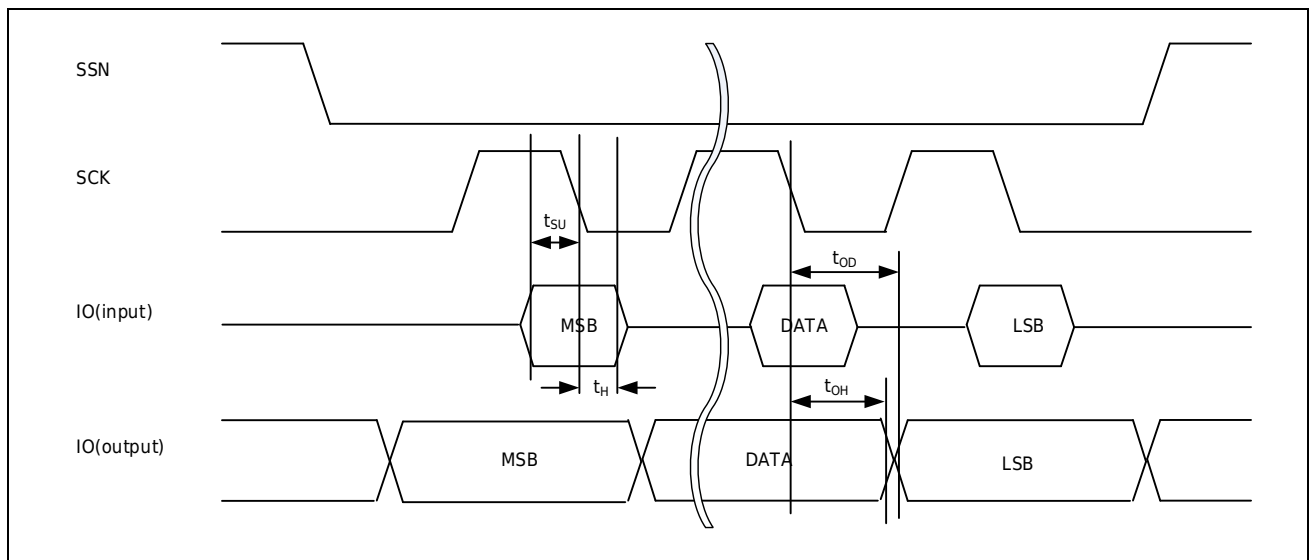


图 3-12 QSPI 时序定义

3.3.15 USART 接口特性

表 3-34 USART AC 时序

符号	参数		最小值	最大值	单位
t _{cyc}	输入时钟周期数	UART	4	-	t _{PCLK1}
		时钟同步模式	6	-	
t _{CKw}	输入时钟宽度		0.4	0.6	t _{cyc}
t _{CKr}	输入时钟上升时间		-	5	ns
t _{CKf}	输入时钟下降时间		-	5	ns
t _{TD}	发送延迟时间 2.7V≤V _{CC} ≤3.6V	时钟同步模式	-	23	ns
	发送延迟时间 1.8V≤V _{CC} <2.7V	时钟同步模式	-	30	ns
t _{RDS}	接收数据建立时间 2.7V≤V _{CC} ≤3.6V	时钟同步模式	17	-	ns
	接收数据建立时间 1.8V≤V _{CC} <2.7V	时钟同步模式	23	-	ns
t _{RDH}	接收数据保持时间	时钟同步模式	5	-	ns

表 3-35 USART 最高波特率

模式		最高波特率
UART	内部时钟源	PCLK1/8
	外部时钟源	PCLK1/6
时钟同步模式 2.7V≤V _{CC} ≤3.6V		12.0Mbps
时钟同步模式 1.8V≤V _{CC} <2.7V		8.0Mbps

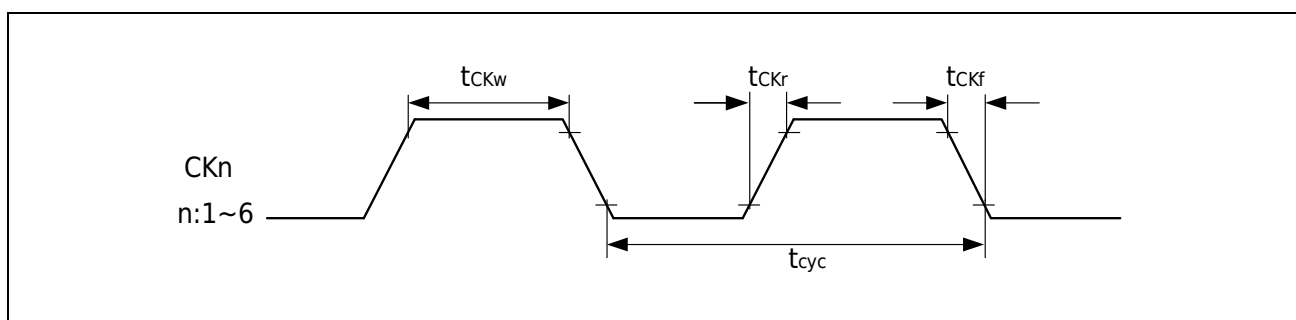


图 3-13 USART 时钟时序

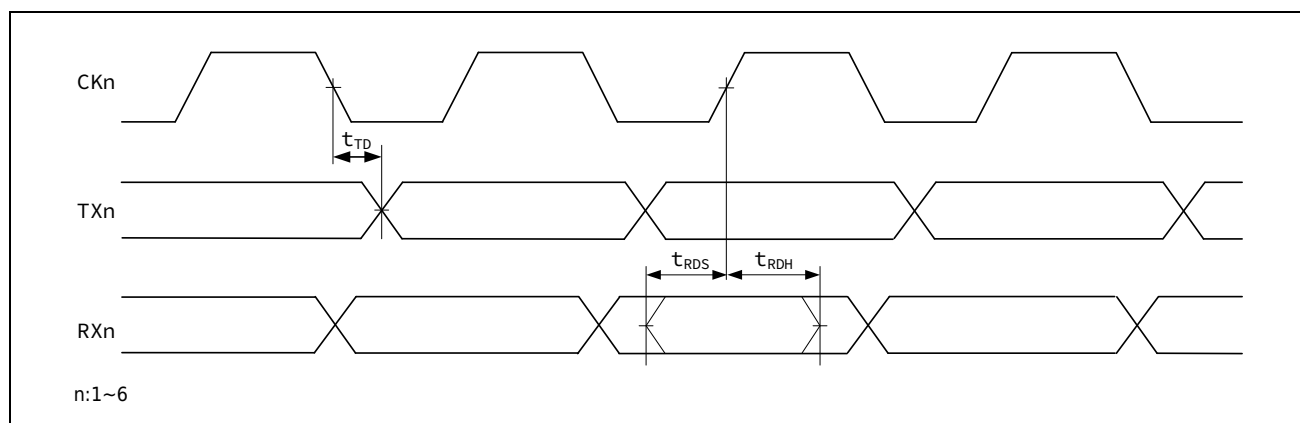


图 3-14 USART (CSI) 输入输出时序

3.3.16 JTAG 接口特性

表 3-36 JTAG 接口特性

符号	参数	最小值	典型值	最大值.	单位
t_{TCKcyc}	JTCK 时钟周期	50	-	-	ns
t_{TCKH}	JTCK 时钟高电平	15	-	-	ns
t_{TCKL}	JTCK 时钟低电平	15	-	-	ns
t_{TCKr}	JTCK 时钟上升时间	-	-	5	ns
t_{TCKf}	JTCK 时钟下降时间	-	-	5	ns
t_{TMSs}	JTMS建立时间	10	-	-	ns
t_{TMSh}	JTMS 保持时间	10	-	-	ns
t_{TDIs}	JTDI 建立时间	10	-	-	ns
t_{TDIh}	JTDI 保持时间	10	-	-	ns
t_{TDod}	JTDO数据迟延	10	-	25	ns

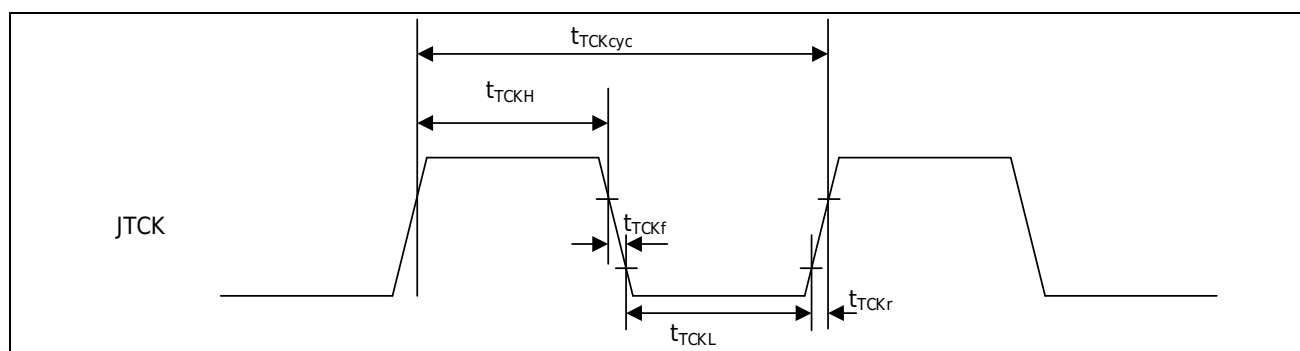


图 3-15 JTAG TCK 时钟

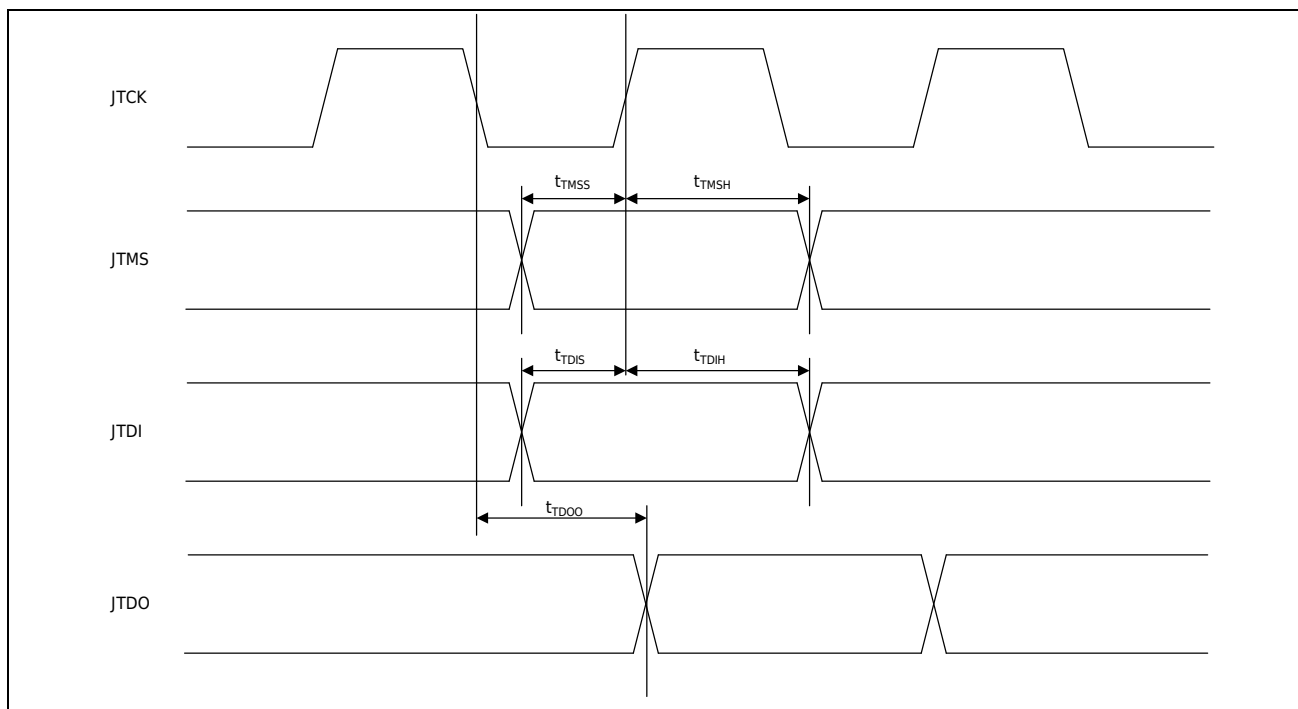


图 3-16 JTAG 输入输出

3.3.17 SWD 接口特性

表 3-37 SWD 接口特性

符号	参数	最小值	典型值	最大值	单位
t_{SWCLKcyc}	SWCLK时钟周期	50	-	-	ns
t_{SWCLKH}	SWCLK时钟高电平	15	-	-	ns
t_{SWCLKL}	SWCLK时钟低电平	15	-	-	ns
t_{SWCLKr}	SWCLK时钟上升时间	-	-	5	ns
t_{SWCLKf}	SWCLK时钟下降时间	-	-	5	ns
t_{SWDIs}	SWDI建立时间	10	-	-	ns
t_{SWDIh}	SWDI保持时间	10	-	-	ns
t_{SWDOd}	SWDO数据迟延	10	-	25	ns

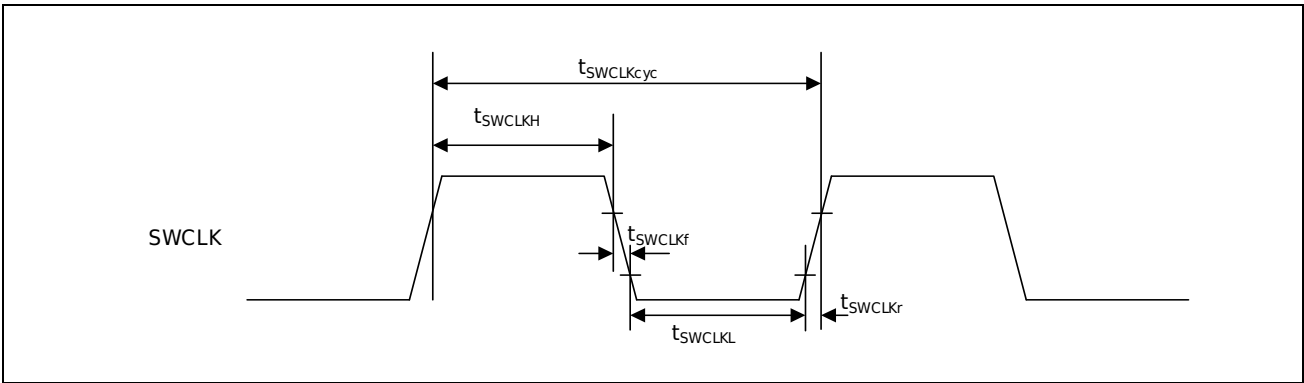


图 3-17 SWD SWCLK 时钟

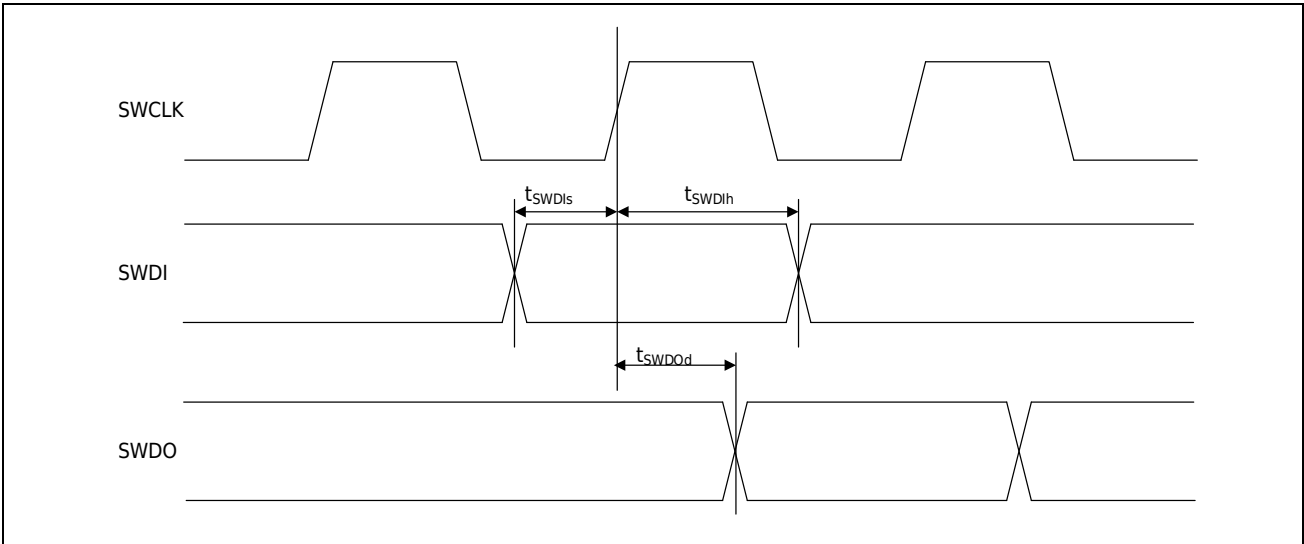


图 3-18 SWDIO 输入输出

3.3.18 12 位 ADC 特性

表 3-38 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC/REFH}	电源	-	1.8	-	3.6	V
f _{ADC}	ADC转换时钟频率	高速工作模式下 V _{AVCC} =2.4~3.6V	1	-	60	MHz
		低速工作模式下 V _{AVCC} =1.8~2.4V	1	-	30	
		超低速工作模式	1	-	8	
V _{AIN}	转换电压范围	-	V _{AVSS}	-	V _{AVCC/REFH}	V
R _{AIN}	外部输入阻抗	详见公式1	-	-	50	kΩ
R _{ADC}	采样开关电阻	-	-	3	6	kΩ
C _{ADC}	内部采样和保持电容	-	-	4	7	PF
t _D	触发器转换延迟	f _{ADC} =60MHz	-	-	0.3	μs
t _s	采样时间	f _{ADC} =60MHz	0.183	-	4.266	μs
			11	-	255	1/f _{ADC}
t _{CONV}	单通道总转换时间 (包括采样时间)	f _{ADC} =60MHz 12位分辨率	0.4	-	-	μs
		f _{ADC} =60MHz 10位分辨率	0.37	-	-	μs
		f _{ADC} =60MHz 8位分辨率	0.34	-	-	μs
		20到268 (采样时间T _s +逐次趋近n位分辨率+1)				1/f _{ADC}
f _s	采样率 f _{ADC} =60MHz	12位分辨率单ADC	-	-	2.5	Msp/s
t _{ST}	启动时间	-	-	1	2	μs

公式 1: R_{AIN} 最大值公式

$$R_{AIN} = \frac{k}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上式 (公式 1) 用于确定使误差低于 1/4LSB 的最大外部阻抗。其中 N=12 (12 位分辨率), k 为 ADC_SSTR 寄存器中定义的采样周期数。

表 3-39 输入通道静态精度@ $f_{ADC}=60\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{ADC}=60\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{AVCC}=2.4\sim 3.6\text{V}$ $T_A=-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$	± 5.5	± 7	LSB
$E_O^{(1)}$	偏移误差		± 4.5	± 7	LSB
$E_G^{(1)}$	增益误差		± 4.5	± 7	LSB
$E_D^{(1)}$	微分非线性误差		± 1.5	± 3	LSB
$E_L^{(1)}$	积分非线性误差		± 2.0	± 4	LSB

1. 特性测试保证。

表 3-40 输入通道静态精度@ $f_{ADC}=8\text{MHz}/30\text{MHz}$

符号	参数	条件	典型值	最大值	单位
E_T	绝对误差	$f_{ADC}=8/30\text{MHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{AVCC}=1.8\text{V}$ $T_A=-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$	± 5.5	± 7	LSB
$E_O^{(1)}$	偏移误差		± 4.5	± 7	LSB
$E_G^{(1)}$	增益误差		± 4.5	± 7	LSB
$E_D^{(1)}$	微分非线性误差		± 1.5	± 3	LSB
$E_L^{(1)}$	积分非线性误差		± 2.0	± 4	LSB

1. 特性测试保证。

表 3-41 输入通道动态精度@ $f_{ADC}=60\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{ADC}=60\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{AVCC}=2.4\sim 3.6\text{V}$ $T_A=-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$	10.5	-	Bits
SINAD	信噪谐波比		65.0	-	dB
SNR	信噪比		65.1	-	dB
THD	总谐波失真		-	-78.1	dB

表 3-42 输入通道动态精度@ $f_{ADC}=8\text{MHz}/30\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	$f_{ADC}=8/30\text{MHz}$ 输入信号频 $=2\text{kHz}$ 输入源阻抗 $<1\text{K}\Omega$ $V_{AVCC}=1.8\text{V}$ $T_A=-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$	10.5	-	Bits
SINAD	信噪谐波比		65.0	-	dB
SNR	信噪比		65.1	-	dB
THD	总谐波失真		-	-78.1	dB

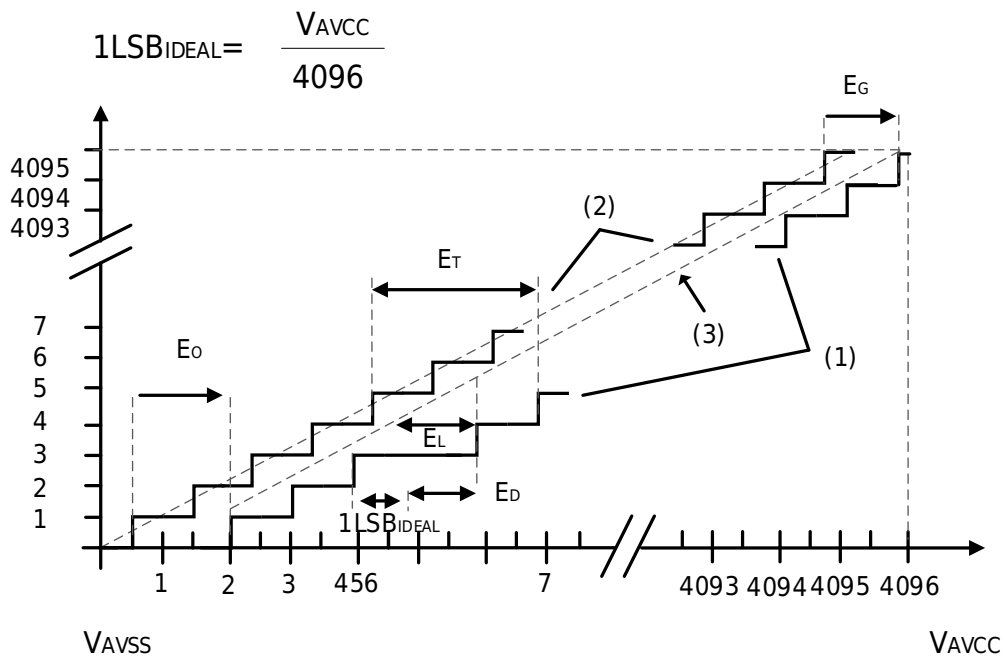


图 3-19 ADC 精度特性

1. 另请参见上述表格。
2. 实际传输曲线举例。
3. 理想传输曲线。
4. 端点相关线。
5. E_T=总未调整误差：实际和理想传输曲线间的最大偏离。
E₀=偏移误差：第一次实际转换和第一次理想转换间的偏离。
E_G=增益误差：最后一次理想转换和最后一次实际转换间的偏离。
E_D=微分非线性误差：实际步进和理想值间的最大偏离。
E_L=积分非线性误差：任何实际转换和端点相关线间的最大偏离。

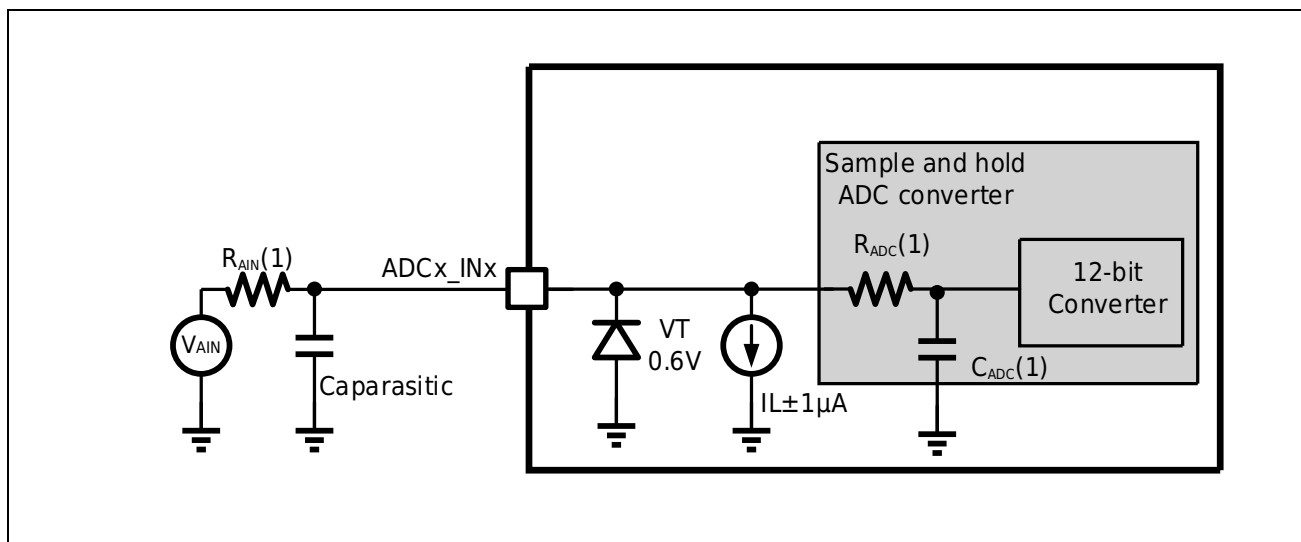


图 3-20 使用 ADC 的典型连接

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 3-38。
2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{adc} 。

通用 PCB 设计准则

应按照下图所示对电源进行去耦。0.1μF 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

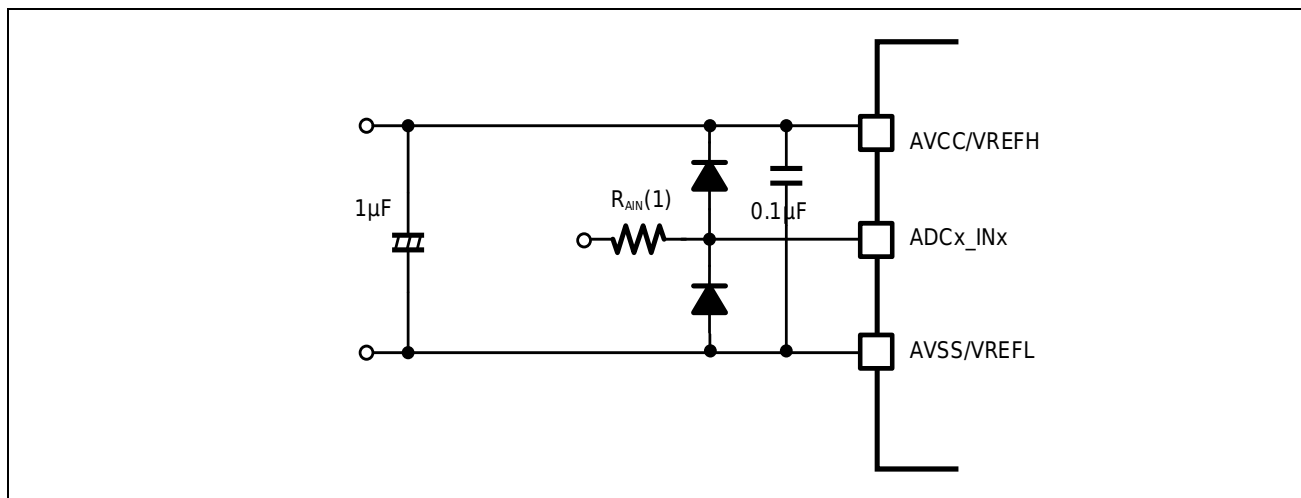


图 3-21 电源和参考电源去耦例

1. 有关 R_{AIN} 值的信息，请参见表 3-38。

3.3.19 12 位 DAC 特性

表 3-43 12bit DAC 端口输出允许且输出放大器允许时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
AO	输出电压范围	-	0.2	-	V _{AVCC} -0.2	-
RL	负载电阻	-	5	-	-	kΩ
CL	负载电容	-	-	-	50	pF
DNL ⁽¹⁾	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±3 ⁽¹⁾	LSB
INL ⁽¹⁾	积分非线性误差（代码I处测得的值与代码0及最后一个代码4095之间连线上代码I处的值之间的差）	-	-	-	±5 ⁽¹⁾	LSB
OE	偏移误差（代码 2048 处测得值与理想值 VREF+/2 之间的差）	-	-	-	±15	LSB
GE	增益误差	-	-	-	±1	%
T _{st}	建立时间（满刻度：适用于到DAC输出达到最终值 ±4LSB时，最低输入代码与最高输入代码之间12位输入代码转换）	-	-	2	3	μs

1. 量产测试保证。

表 3-44 12bit DAC 端口输出允许且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
AO	输出电压范围	-	0	-	V _{AVCC} -1LSB	V
CL	负载电容	-	-	-	20	pF
RO	输出电阻	-	-	8.6	12	kΩ
DNL	微分非线性误差(两个连续代码之间的偏差-1LSB)	-	-	-	±2	LSB
TUE	总不可调整误差	-	-	-	±24	LSB
T _{st}	建立时间（适用于到DAC输出达到最终值±4LSB时，最低输入代码与最高输入代码之间12位输入代码转换，CL=10pF）	-	-	1.5	2.5	μs

表 3-45 12bit DAC 端口输出禁止且输出放大器禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
AO	输出电压范围	-	0	-	V _{AVCC} -1LSB	-
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
TUE	总不可调整误差	-	-	-	±5	LSB
T _{st}	建立时间（适用于到DAC输出达到最终值±1LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{avcc} ≥2.7）	-	-	95.5	117.3	ns
	建立时间（适用于到DAC输出达到最终值±32LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{avcc} ≥2.7）	-	-	57.2	70.5	ns
	建立时间（适用于到DAC输出达到最终值±1LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{avcc} <2.7）	-	-	-	121.6	ns
	建立时间（适用于到DAC输出达到最终值±32LSB时，最低输入代码与最高输入代码之间12位输入代码转换，V _{avcc} <2.7）	-	-	-	79.1	ns

3.3.20 比较器特性

表 3-46 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
V _I	输入电压范围	-	0	-	V _{AVCC}	V
T _{cmp}	响应时间	比较器分辨电压=100mV	-	30	50	ns
T _{set}	输入通道切换稳定时间	-	-	100	200	ns

3.3.21 EXMC 特性

表 3-47 EXMC 特性

符号	参数	最小值	典型值	最大值	单位
t _{add_d}	地址线输出延迟时间 (2.7V~3.6V)	-	-	12	ns
	地址线输出延迟时间 (1.8V~2.7V)	-	-	18	ns
t _{data_d}	数据线输出延迟时间 (2.7V~3.6V)	-	-	12	ns
	数据线输出延迟时间 (1.8V~2.7V)	-	-	18	ns
t _{ce_d}	CE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	CE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{we_d}	WE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	WE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{oe_d}	OE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	OE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{baa_d}	BAA 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	BAA 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{adv_d}	ADV 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	ADV 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{ale_d}	ALE 输出延迟时间 (2.7V~3.6V)	-	-	9	ns
	ALE 输出延迟时间 (1.8V~2.7V)	-	-	12	ns
t _{data_s}	数据线输入 Setup 时间 (2.7V~3.6V)	24	-	-	ns
	数据线输入 Setup 时间 (1.8V~2.7V)	28	-	-	ns
t _{data_h}	数据线输入 Hold 时间	0	-	-	ns
t _{rb_s}	RB 输入 Setup 时间 (2.7V~3.6V)	24	-	-	ns
	RB 输入 Setup 时间 (1.8V~2.7V)	28	-	-	ns
t _{rb_h}	RB 输入 Hold 时间	0	-	-	ns

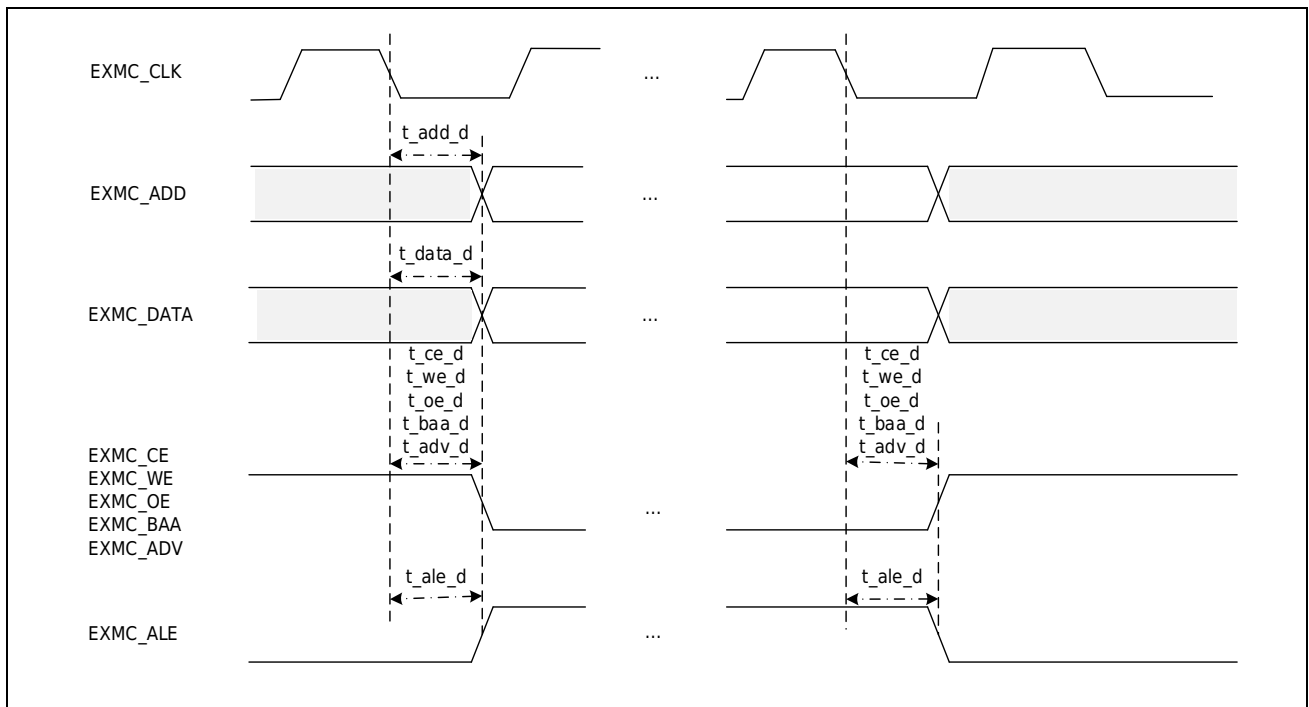


图 3-22 EXMC 输出信号时序图

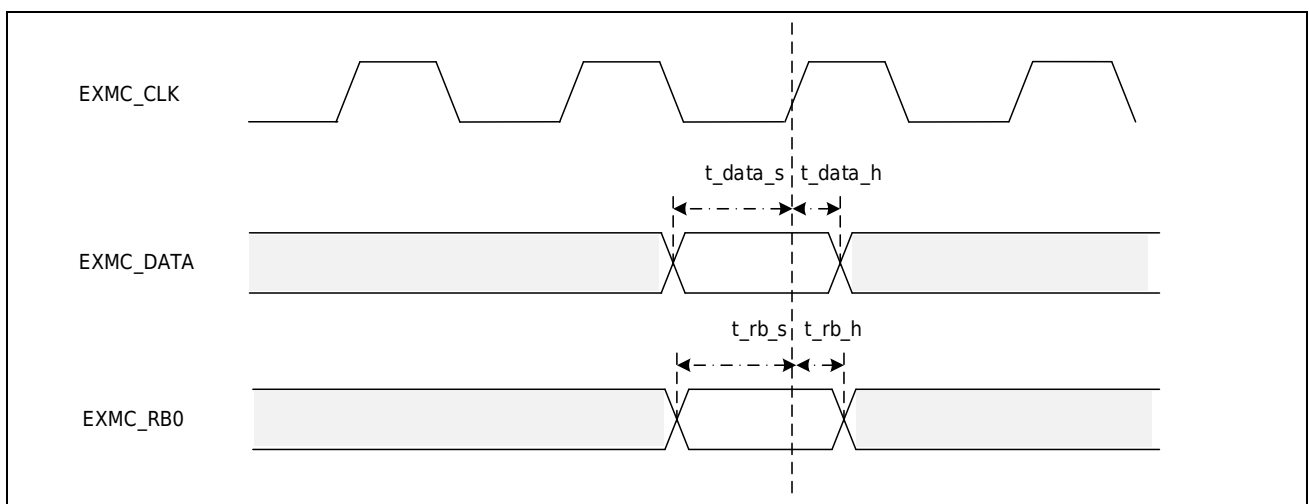


图 3-23 EXMC 输入信号时序图

3.3.22 EIRQ 滤波特性

表 3-48 EIRQ 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_EIRQ}	EIRQ输入滤波宽度	INTC_EIRQCR.NOCSEL[1:0] = 00	0.6	-	1.0	μs
		INTC_EIRQCR.NOCSEL[1:0] = 01	1.3	-	2.0	μs
		INTC_EIRQCR.NOCSEL[1:0] = 10	2.6	-	4.0	μs
		INTC_EIRQCR.NOCSEL[1:0] = 11	5.2	-	8.0	μs

3.3.23 USART1 Stop 模式下 RX 滤波特性

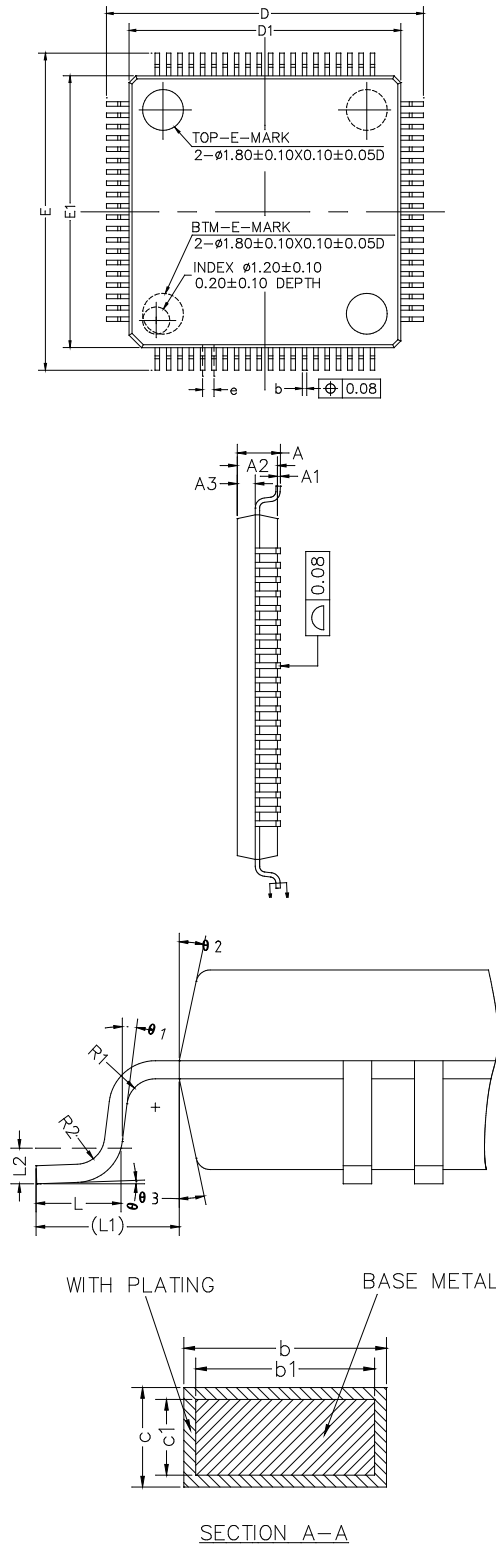
表 3-49 USART1 STOP 模式下 RX 滤波特性

符号	参数	条件	最小值	典型值	最大值	单位
W _{F_USART1}	USART1输入滤波宽度	USART1_NFC.USART1_NFS[1:0] = 00	0.6	-	1.0	μs
		USART1_NFC.USART1_NFS[1:0] = 01	1.3	-	2.0	μs
		USART1_NFC.USART1_NFS[1:0] = 10	2.6	-	4.0	μs
		USART1_NFC.USART1_NFS[1:0] = 11	5.2	-	8.0	μs

4 封装信息

4.1 封装尺寸

LQFP80 封装

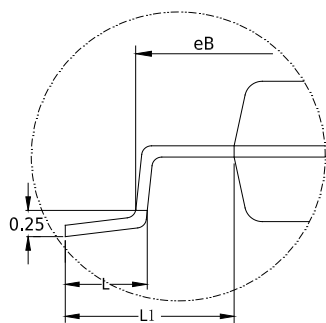
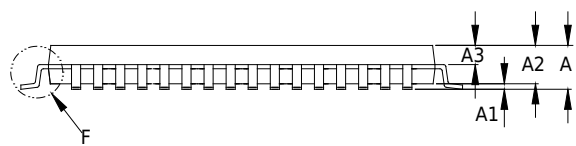


Symbol	12x12 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.27
b1	0.17	0.20	0.23
c	0.13	--	0.18
c1	0.12	0.13	0.14
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.4	0.5	0.6
L	0.45	0.6	0.75
L1	1.00REF		
θ	0°	3.5°	7°

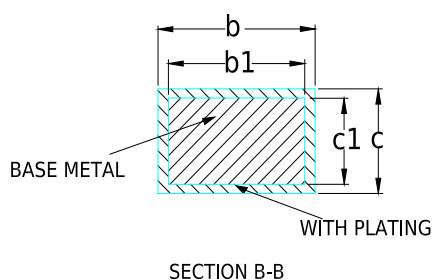
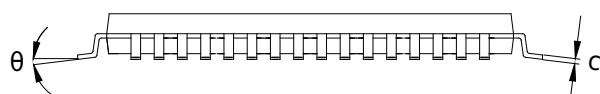
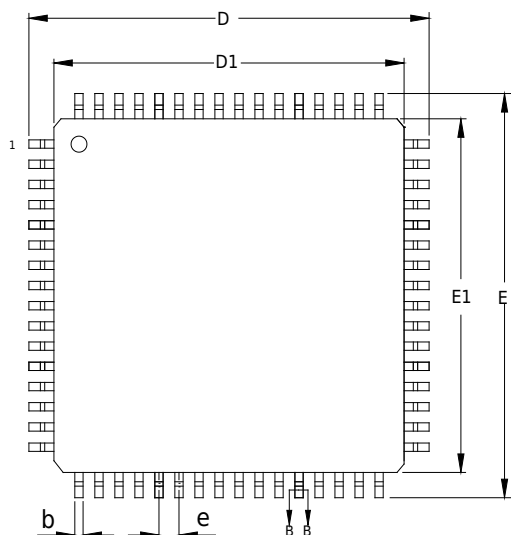
NOTE:

- Dimensions "D1" and "E1" do not include mold flash.

LQFP64 封装



DETAIL: F

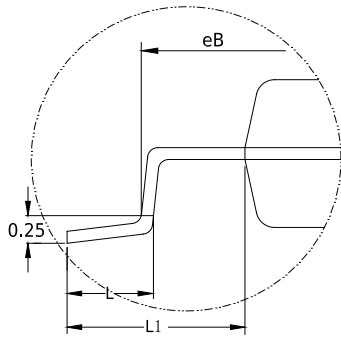
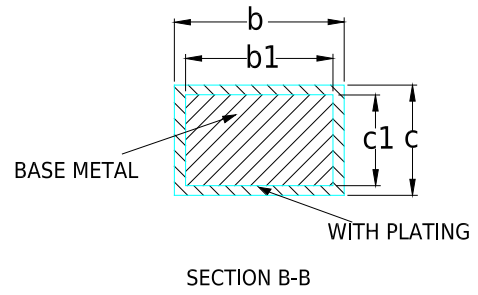
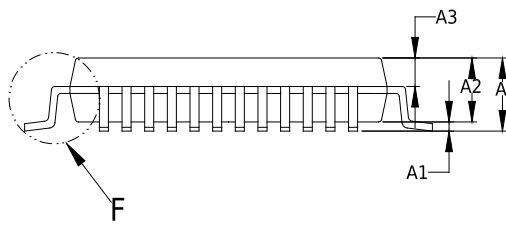


Symbol	10x10 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0°	--	7°

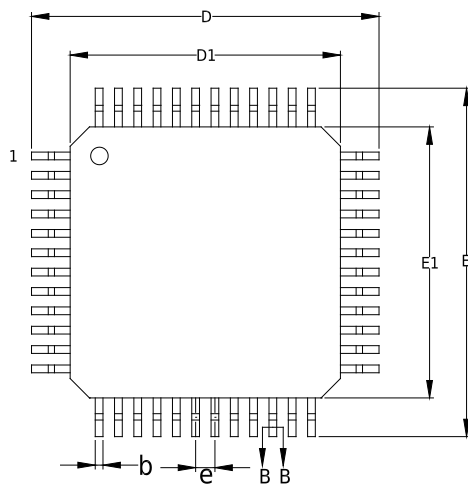
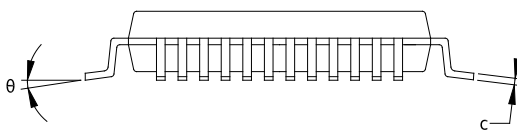
NOTE:

- Dimensions "D1" and "E1" do not include mold flash.

LQFP48 封装



DETAIL: F

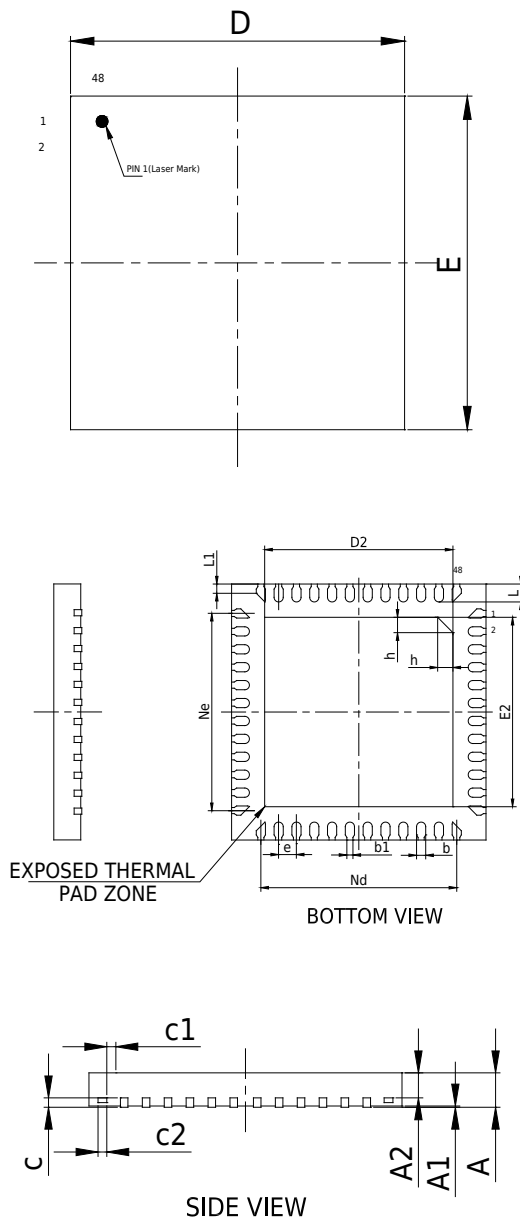


Symbol	7x7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.40	--	0.65
L1	1.00REF		
θ	0	--	7°

NOTE:

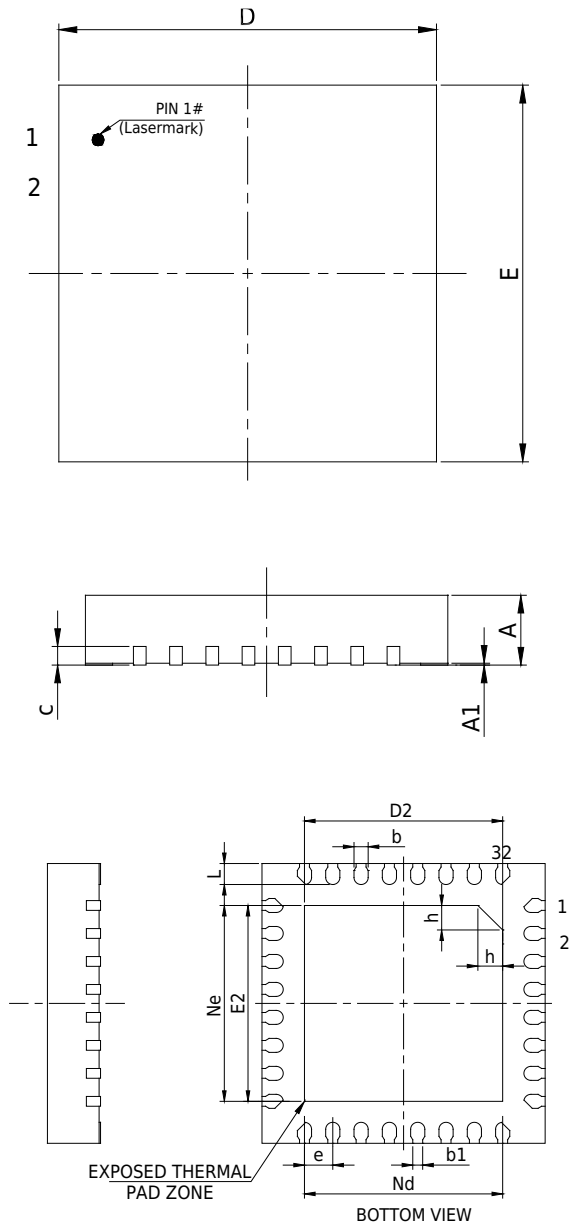
- Dimensions "D1" and "E1" do not include mold flash.

QFN48 封装



Symbol	5x5 Millimeter		
	Min	Nom	Max
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A2	0.40REF		
b	0.13	0.18	0.23
b1	0.12REF		
c	0.10	0.15	0.20
c1	0.145REF		
c2	0.140REF		
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.35BSC		
Ne	3.85BSC		
Nd	3.85BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.30	0.35	0.40
L1	0.13	0.18	0.23
h	0.25	0.30	0.35

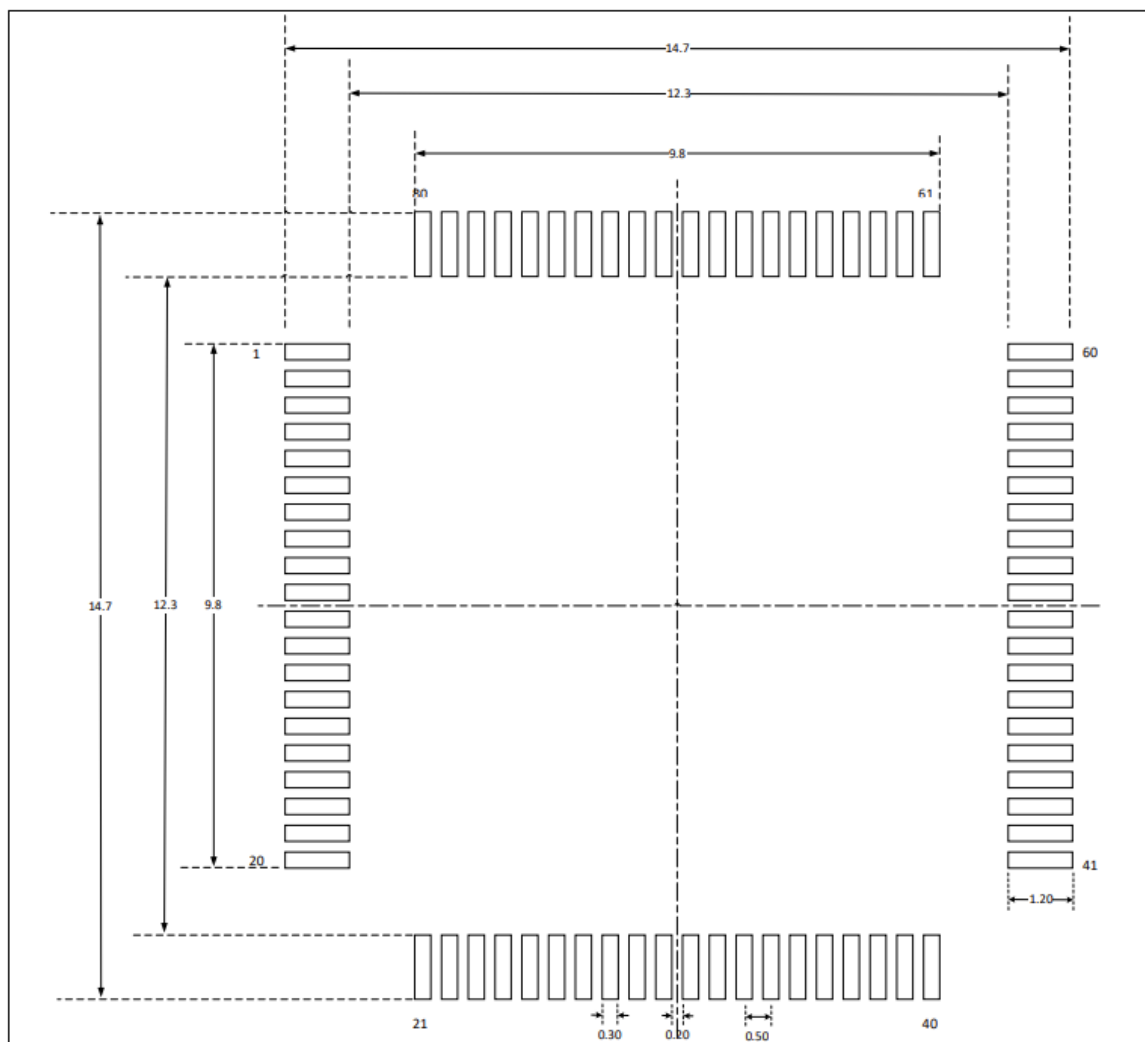
QFN32 封装



Symbol	4x4 Millimeter		
	Min	Nom	Max
A	0.7	0.75	0.8
A1	0	0.02	0.05
b	0.15	0.20	0.3
b1	无		
c	0.15	0.2	0.25
D	3.90	4.00	4.10
D2	2.6	2.75	2.9
e	0.40BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.6	2.75	2.9
Ne	2.80BSC		
L	0.2	0.3	0.45
h	0.25	0.3	0.40

4.2 焊盘示意图

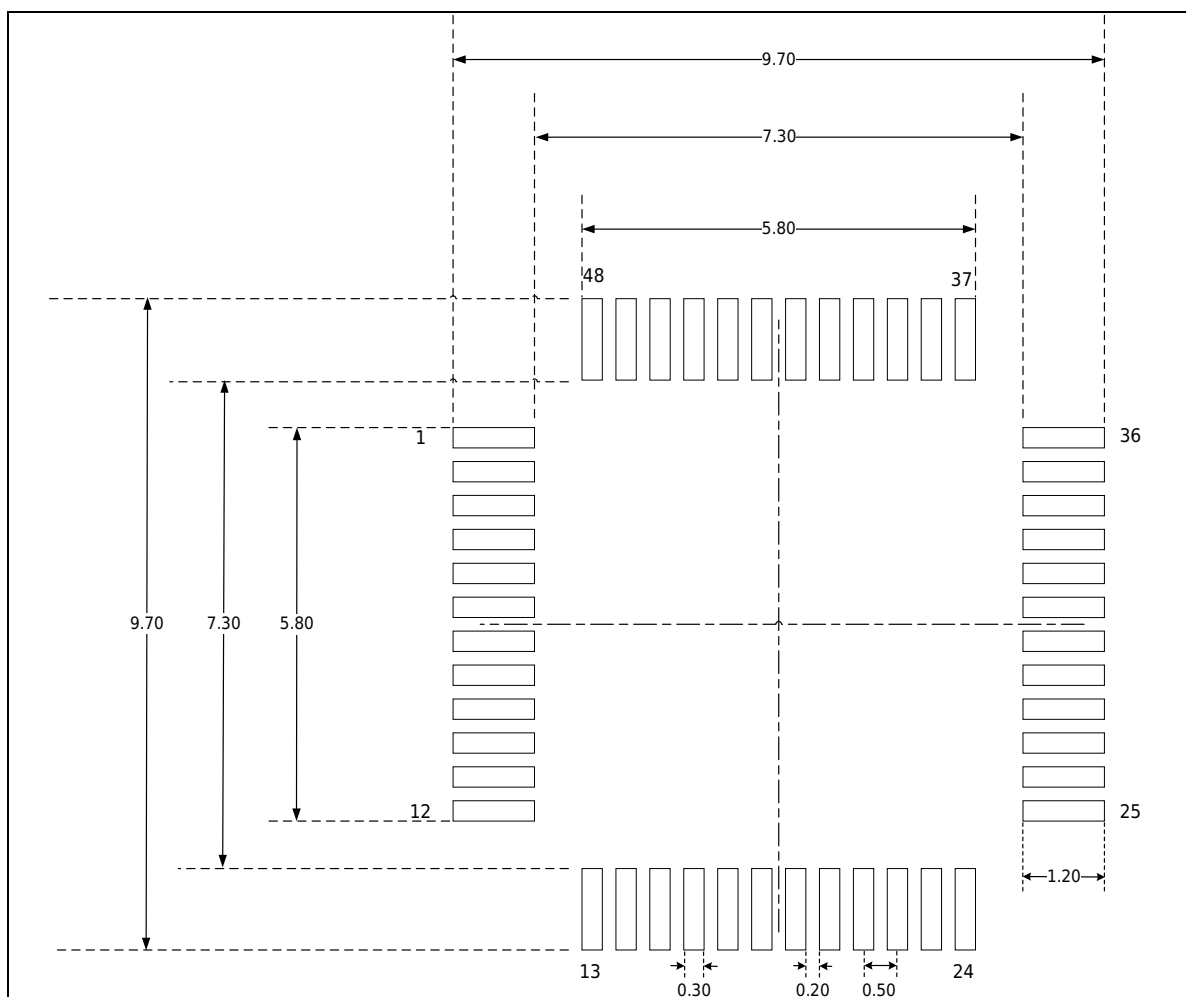
LQFP80 封装 (12mm x 12mm)



注:

- 尺寸单位为毫米。
- 尺寸仅做参考。

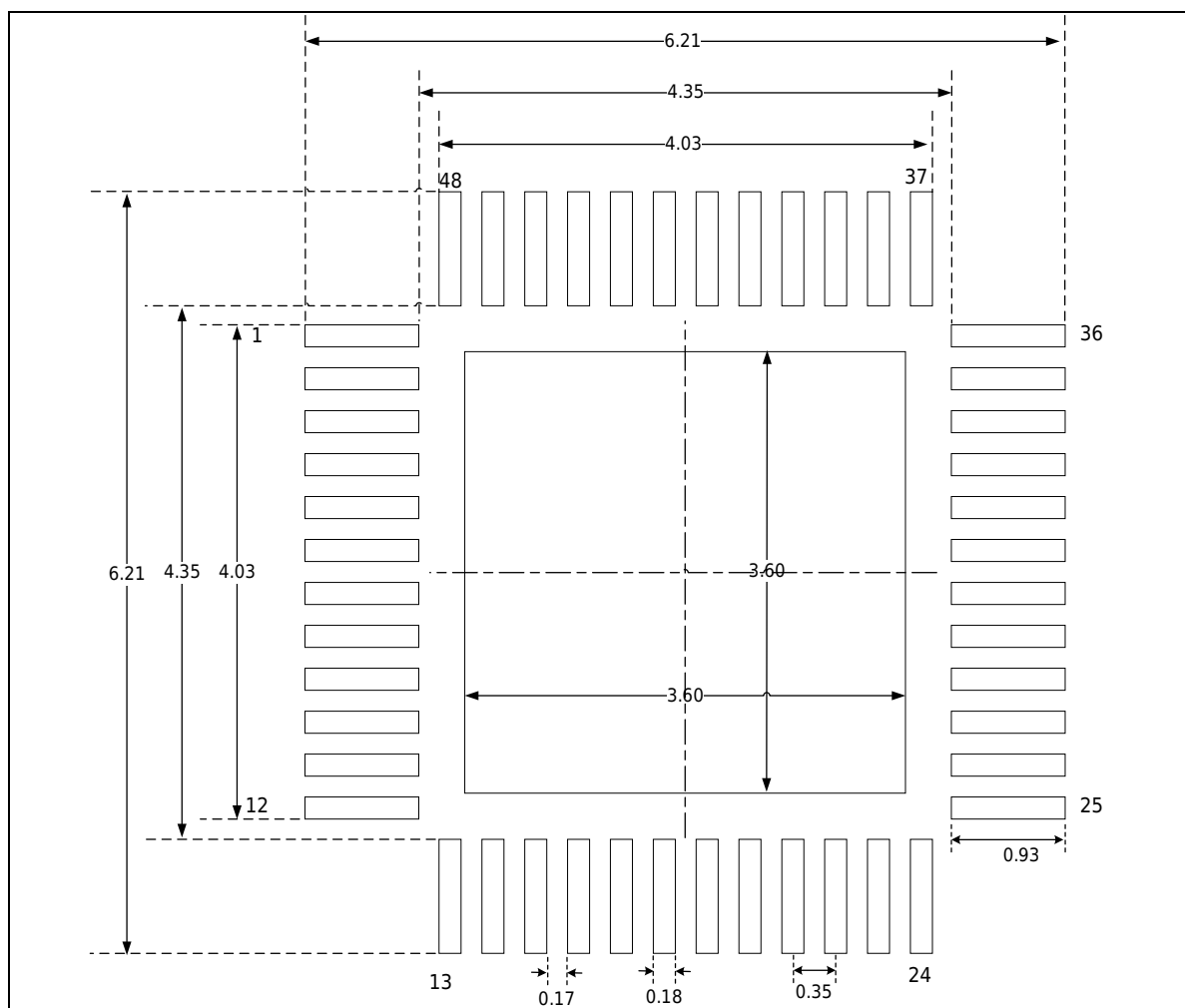
LQFP48 封装 (7mm x 7mm)



注:

- 尺寸单位为毫米。
- 尺寸仅做参考。

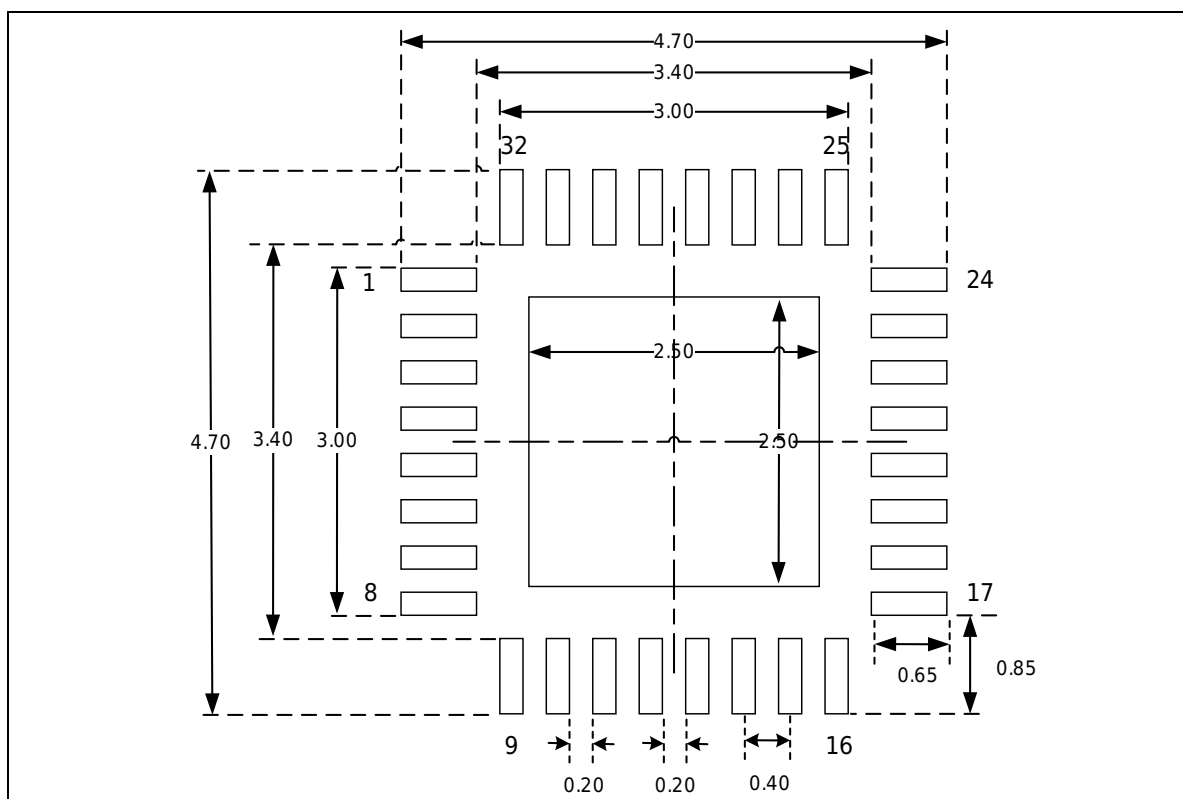
QFN48 封装 (5mm x 5mm)



注:

- 尺寸单位为毫米。
- 尺寸仅做参考。

QFN32 封装 (4mm x 4mm)



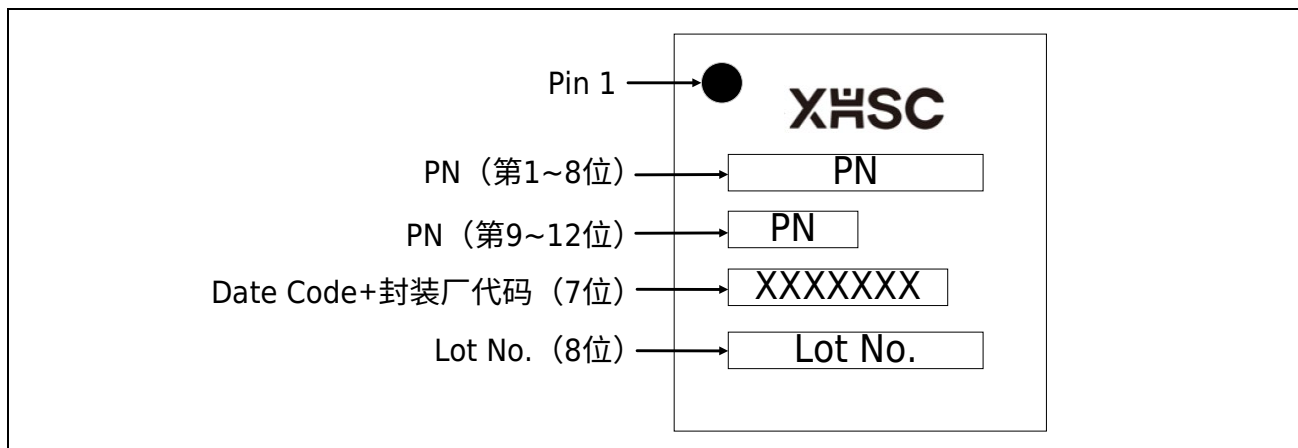
注:

- 尺寸单位为毫米。
- 尺寸仅做参考。

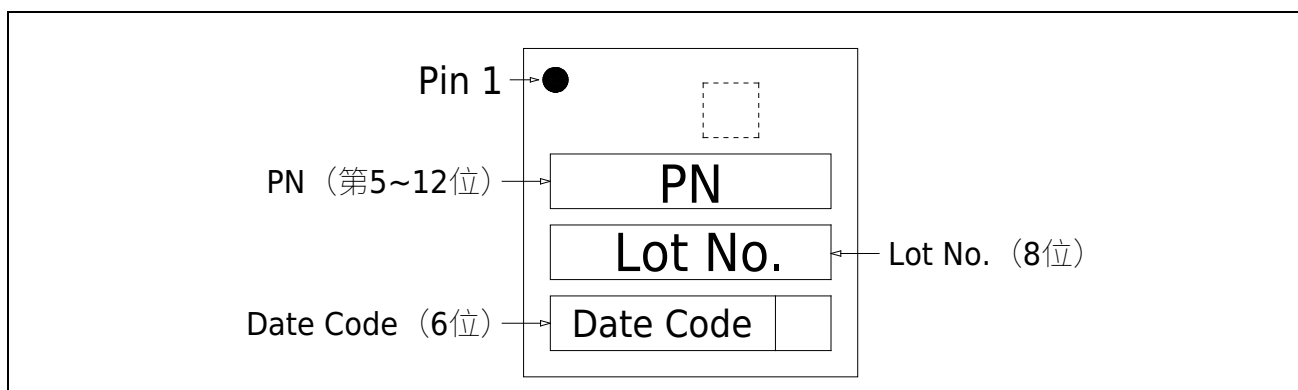
4.3 丝印说明

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

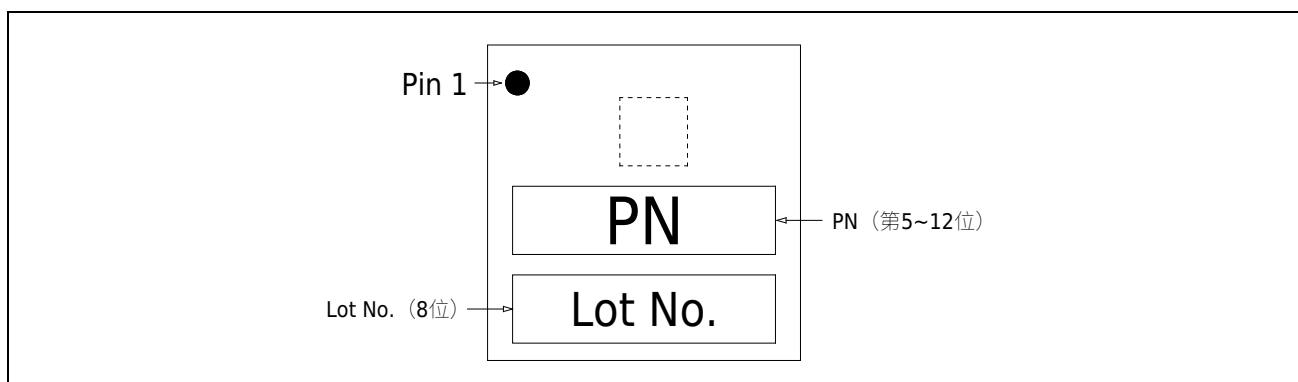
LQFP80 封装 (12mm x 12mm) / LQFP64 封装 (10mm x 10mm) / LQFP48 封装 (7mm x 7mm)



QFN48 封装 (5mm x 5mm)



QFN32 封装 (4mm x 4mm)



注意:

- 上图空白框表示与生产相关的可选标记, 本节不作说明。

4.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$$T_j = T_A + (P_D \times \theta_{JA})$$

- T_A 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗 (P_{INT}) 和芯片工作时 I/O 引脚产生的功耗 ($P_{I/O}$) 之和，单位是 W。
 $P_{INT} = I_{CC} \times V_{CC}$
 $P_{I/O} = \sum(V_{OL} \times I_{OL}) + \sum((V_{CC} - V_{OH}) \times I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温 T_{jmax} 。

表 4-1 各封装热阻系数表

Package Type and Size	Thermal Resistance Junction-ambient Value (θ_{JA})	单位
LQFP80 12*12*1.4 e=0.5	55+/-10%	°C/W
LQFP64 10*10*1.4 e=0.5	65+/-10%	°C/W
LQFP48 7*7*1.4 e=0.5	75+/-10%	°C/W
QFN32 4*4*0.75 e=0.4	53+/-10%	°C/W
QFN48 5*5*0.55 e=0.35	42+/-10%	°C/W

5 订购信息

功能		产品型号									
		HC32F448 FAUI- QFN32TR	HC32F448 FCUI- QFN32TR	HC32F448 JAUI- ZFN48TR	HC32F448 JCUI- ZFN48TR	HC32F448 JATI-LQ48	HC32F448 JCTI-LQ48	HC32F448 KATI- LQFP64	HC32F448 KCTI- LQFP64	HC32F448 MATI- LQFP80	HC32F448 MCTI- LQFP80
主频 (MHz)		200									
内核		M4									
GPIO数		25	25	38	38	38	38	52	52	67	67
电源电压范围 (V)		1.8~3.6									
Flash (KB)		128	256	128	256	128	256	128	256	128	256
SRAM (KB)		68									
DMA		2unit * 6ch									
通信接口	USART	6ch									
	SPI	3ch									
	I2C	2ch									
	MCAN	2ch									
	QSPI	1ch									
	EXMC	不支持	不支持	不支持	不支持	不支持	不支持	✓	✓	✓	✓
定时及计数	Timer0	2unit									
	TimerA	5unit									
	Timer4	3unit									
	Timer6	2unit									
	WDT	1ch									
	SWDT	1ch									
	RTC	1ch									

功能		产品型号									
		HC32F448 FAUI- QFN32TR	HC32F448 FCUI- QFN32TR	HC32F448 JAUI- ZFN48TR	HC32F448 JCUI- ZFN48TR	HC32F448 JATI-LQ48	HC32F448 JCTI-LQ48	HC32F448 KATI- LQFP64	HC32F448 KCTI- LQFP64	HC32F448 MATI- LQFP80	HC32F448 MCTI- LQFP80
模拟	12bit ADC	3unit, 4ch	3unit, 4ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 11ch	3unit, 17ch	3unit, 17ch	3unit, 24ch	3unit, 24ch
	12bit DAC	1ch	1ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch	2ch
	CMP	4ch									
模拟	PVD	✓									
安全	TRNG	✓									
	AES256	✓									
	HASH (SHA256)	✓									
协处理	DCU	✓									
工作温度		-40~105℃									
封装 包装 (mm)	封装形式	QFN32 (4*4)	QFN32 (4*4)	QFN48 (5*5)	QFN48 (5*5)	LQFP48 (7*7)	LQFP48 (7*7)	LQFP64 (10*10)	LQFP64 (10*10)	LQFP80 (12*12)	LQFP80 (12*12)
	厚度	0.75	0.75	0.55	0.55	1.6	1.6	1.6	1.6	1.6	1.6
	包装形式	卷带	卷带	卷带	卷带	托盘	托盘	托盘	托盘	托盘	托盘

订购前，请联系销售窗口咨询最新量产信息。

版本修订记录

版本号	修订日期	修订内容
Rev1.0	2023/06/13	初版发布。